

产品介绍

LS98102 是通用可配置的模数混合芯片，有体积小、超低功耗和高可靠性等特点。客户可以根据自己的功能需求设计芯片，配置 LS98102 内部的模拟和逻辑功能模块的连接并把设计烧录到内部的 NVM (Non-Volatile Memory)。内部功能模块如下：

- 1x Multi-channel High Speed ACMP
- 1x Multi-channel Low Power ACMP
- 1x Voltage Reference Output
- 1x Differential/Single ended PGA
- 2x DCMP/PWM
- 20x 组合逻辑单元
 - ◆ 4x 2-bit LUT/DFE
 - ◆ 2x 2-bit LUT/Pattern Generator
 - ◆ 2x 2-bit LUT/Edge Detector
 - ◆ 10x 3-bit LUT/DFE
 - ◆ 2x 3-bit LUT/Pipe Delay
- 12x 多功能模块
 - ◆ 10x 可选的 3-bit LUT/DFE + 8-bit Counter/Delay
 - ◆ 1x 可选的 4-bit LUT/DFE + 16-bit Counter/Delay
 - ◆ 1x 4-bit LUT/8-bit FSM CNT/DLY
- I²C 通讯接口
- 2x 内部时钟振荡器
 - ◆ 1x 20Mhz & 2.5Mhz 时钟振荡器
 - ◆ 1x 2Khz 时钟振荡器
- 上电复位
- 读保护功能
- 工作电压范围: 2.3V~5.5V
- 工作温度范围: -40℃ ~ 85℃
- RoHS Compliant/Halogen-Free
- 封装: 14-L TQFN: 1.6mm x 2.0mm x 0.55mm, 0.4mm pitch

应用

- 服务器、个人电脑及外设
- 消费电子
- 数据通信设备
- 手持、便携的电子设备
- 手机、平板电脑
- 工业仪表
- 电机控制
- 医疗设备
- 安防产品

Glossary

A

- ACMP: Analog Comparator
- ACMPH: Analog Comparator High Speed
- ACMPPL: Analog Comparator Low Speed

B

- BG: Bandgap

C

- CLK: Clock
- CNT: Counter

D

- DFF: D Flip-Flop
- DLY: Delay
- DCMPL: Digital Comparator

E

- ESD: Electrostatic discharge

F

- FSM: Finite State Machine

G

- GPI: General Purpose Input
- GPIO: General Purpose Input/Output
- GPO: General Purpose Output

I

- IN: Input
- IO: Input/Output

L

- LSB: Least Significant Bit
- LUT: Look-Up Table
- LV: Low Voltage

M

- MSB: Most Significant Bit
- MUX: Multiplexer
- MFB: Multi-Function Block

N

- nRST: Reset
- NVM: Non-Volatile Memory

O

- OE: Output Enable
- OSC: Oscillator
- OUT: Output

P

- PDWM: Power-down
- PGen: Pattern Generator
- POR: Power-On Reset
- PP: Push-Pull
- PGA: Programmable Gain Amplifier
- PWM: Pulse Width Modulator
- PDLY: Programmable Delay

S

- SCL: I²C Clock Input
- SDA: I²C Data Input/Output
- SLA: Slave Address
- SMT: With Schmitt Trigger

T

- TS: Temperature Sensor

V

- VREF: Voltage Reference

W

- WOSMT: Without Schmitt Trigger

目录

产品介绍	1
应用	1
Glossary	2
1. 系统框图	6
2. 引脚定义	7
2.1 TQFN-14L 的引脚配置	7
2.2 引脚功能描述	8
3. 基本电器指标	9
3.1 极限指标	9
3.2 建议工作环境目标	9
3.3 静电放电额定值	9
3.4 电气特性	10
4. 输入输出引脚	19
4.1 通用输入引脚	19
4.2 通用输入输出引脚	20
5. 互联矩阵	21
6. 组合逻辑功能单元	21
6.1 组合逻辑单元电路图	21
7. 多功能模块 (MFB)	24
7.1 多功能模块电路图	24
8. I ² C 通信接口	27
8.1 I ² C 读取	27
8.1.1 当前地址读取指令	27
8.1.2 随机读取指令	27
8.1.3 顺序读取指令	27
8.2 I ² C 写入	28
8.2.1 字节写入指令	28
8.2.2 顺序写入指令	28
8.3 I ² C 时序图	28
8.4 I ² C 软件复位功能	28
9. 电压参考源 (Voltage Reference)	29
9.1 电压参考源概述	29
9.2 电压参考源公式	29
9.3 电压参考源系统框图	29
10. 数字比较器	29
11. 模拟比较器(ACMP)	30
11.1 高速比较器 (High Speed ACMP)	30
11.2 低功耗比较器 (Low Speed ACMP)	30
12. PGA	31
13. 时钟方案	32

14. 外部时钟	33
14.1 Matrix Source for 2KHz / 2.5MHz / 20MHz Clock	33
15. 代码保护功能	33
16. POR.....	33
16.1 Power Down	33
16.2 POR 序列.....	34
17. Virtual Memory	35
17.1 Virtual Memory Input.....	35
17.2 Virtual Memory Output	35
18. 封装信息	36
19. 订购信息	37
19.1 载带和卷盘规格	37
19.2 载带图与尺寸	37
20. Recommended Reflow Soldering Profile	38
20.1 Recommended Land Pattern.....	38
21. 修订历史	39

1. 系统框图

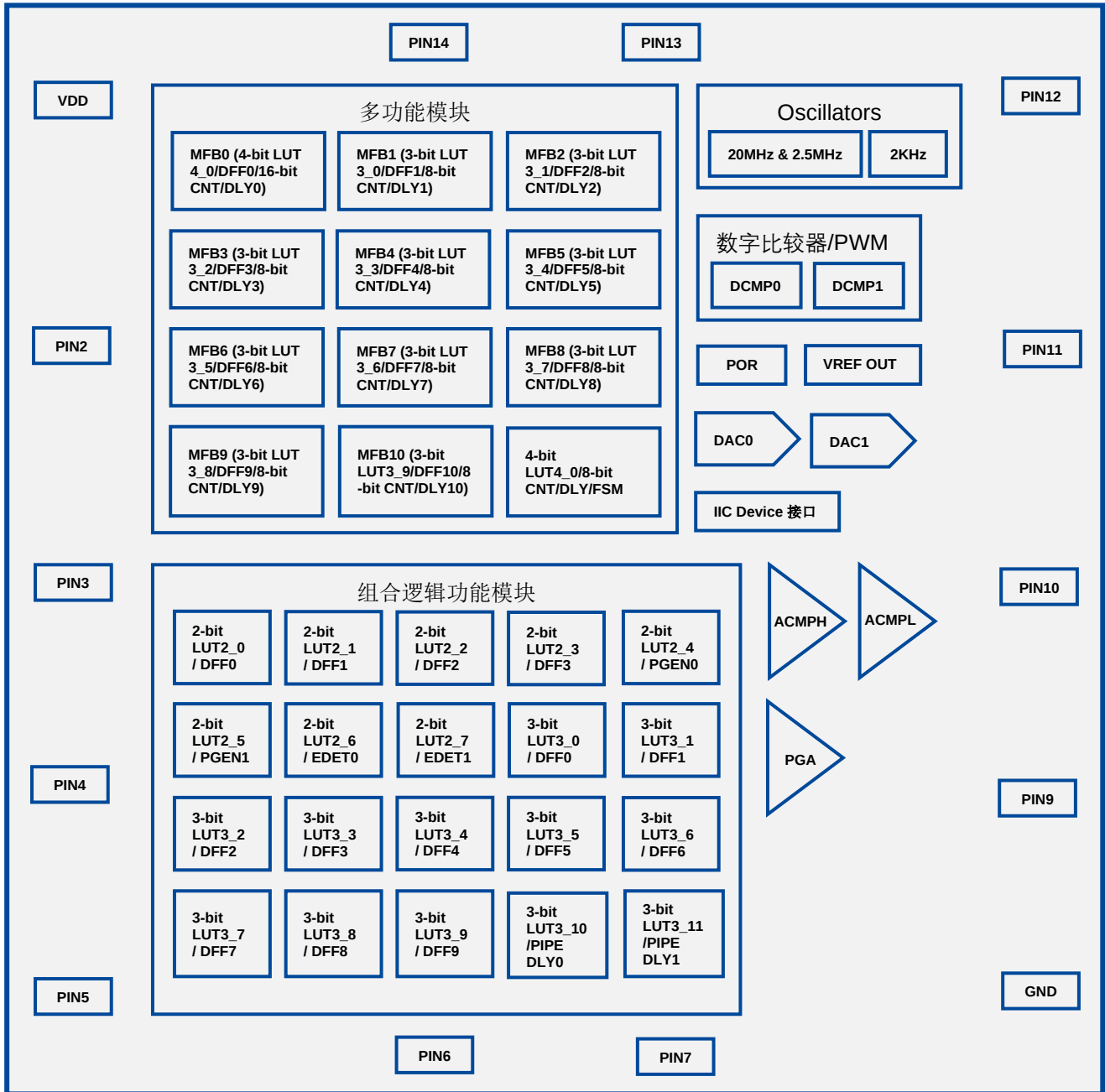


图 1: 系统框图

2. 引脚定义

2.1 TQFN-14L 的引脚配置

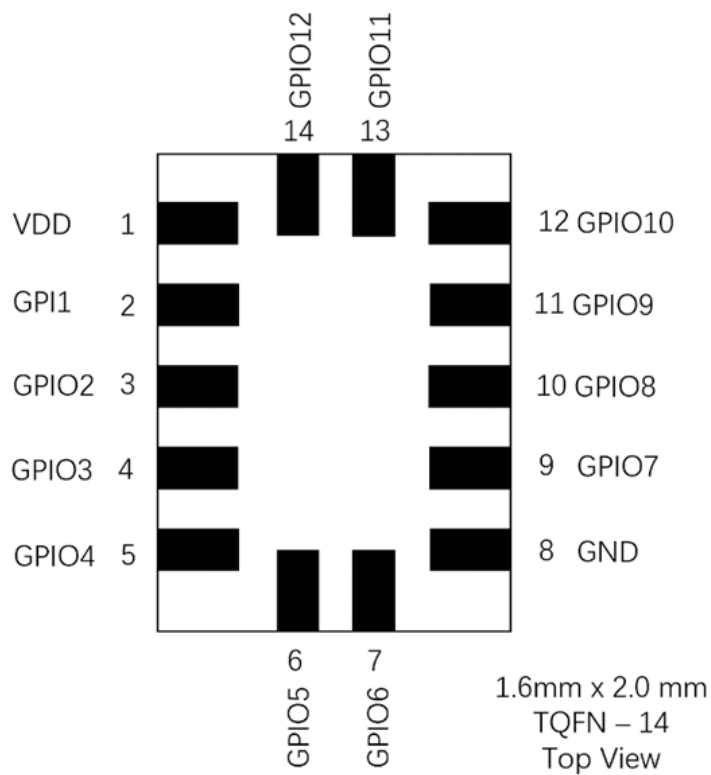


图 2: TQFN-14L (TOP View)

2.2 引脚功能描述

表 1: 引脚功能描述

Pin	Name	Type	Function
1	VDD	电源	VDD
2	GPI1	GPI	GPI, 数字输入
		SLA_0	I ² C Slave 地址位 bit 0
		GPI	OSC0_EXT_CLK_IN, OSC0 外部时钟输入
3	GPIO2	GPIO2	GPIO2, I ² C_SCL
		I ² C_SCL	I ² C_SCL
		ADC_VREF	ADC 外部参考输入
		VREF0_OUT	VREF0 输出
4	GPIO3	GPIO3	GPIO3, I ² C_SDA
		I ² C_SDA	I ² C_SDA
		PGA_OUT	PGA 直接输出
5	GPIO4	GPIO with OE	GPIO 带有 OE 控制
		EXT_VREF0_IN	ACMP 外部参考源输入
		SLA_1	I ² C Slave 地址位 bit 1
		OSC1_EXT_CLK_IN	OSC1 外部时钟输入
6	GPIO5	GPIO with OE	GPIO 带 OE 的数字输入输出 IO
		PGA+	PGA 输入通道 1 或者+端
7	GPIO6	GPIO with OE	GPIO 带有 OE 控制
		PGA-	PGA 输入通道 2 或者-端
		EXT_VREF1_IN	ACMP 外部参考用输入
8	GND	--	GND
9	GPIO7	GPIO with OE	GPIO 带有 OE 控制
		ACMP0_H+	ACMP0_H 正端输入
		SLA_2	I ² C Slave 地址位 bit 2
10	GPIO8	GPIO with OE	GPIO 带有 OE 控制
		ACMP1_H+	ACMP1_H 正端输入
		SLA_3	I ² C Slave 地址位 bit 3
11	GPIO9	GPIO with OE	GPIO 带有 OE 控制
		PGA_MUX	PGA MUX 有内部矩阵连接
		ACMP2_L+	ACMP2_L 正端输入
12	GPIO10	GPIO with OE	GPIO 带有 OE 控制
		ACMP3_L+	ACMP3_L 正端输入
13	GPIO11	GPIO with OE	GPIO 带有 OE 控制
		TS_OUT	温度传感器模拟输出
		OSC2_EXT_CLK_IN	OSC2 外部参考频率输入
14	GPIO12	GPIO with OE	GPIO 带有 OE 控制
		VREF1_OUT	VREF1 输出

3. 基本电器指标

3.1 极限指标

超过绝对最大额定值可能会对设备造成永久性损坏，设备在任何条件下的功能运行中不能超出了下表所示的限定值，因为长期暴露于绝对最大额定值条件可能会影响设备可靠性。模拟和数字接地必须在 PCB 板上连接在一起，对于 LS98102 数字电流较低的应用场合,GND 应连接到模拟接地平面。

表 2: 极限指标

参数	最小	最大	单位
VDD 到地	-0.3	7	V
IO 最高电压	-0.3	7	V
VDD 到 GND 最大直流电流	--	90	mA
输入漏电流	--	1000	nA
存储温度	-65	150	°C
Junction 温度	--	150	°C
湿敏等级 MSL	1		--

3.2 建议工作环境目标

表 3: 建议工作环境目标

参数	最小	最大	单位
VDD 电源电压	2.3	5.5	V
工作温度	-40	85	°C
输入到 Pin 的最大电压	-0.2	VDD+0.3	V
VDD 退耦电容	0.1	--	uF

3.3 静电放电额定值

表 4: 静电放电额定值

参数	最小	最大	单位
ESD 保护 (Charged Device Model)	500	--	V
ESD 保护 (Human Body Model)	2000	--	V

3.4 电气特性

表 5: Electrical Characteristics (VDD: 2.5V±8%, Temp: -40~85°C)

Parameter		Condition/Note	Min.	Typ.	Max.	Unit.
POR						
PON _{THR}	Power On Threshold	VDD Level Required to Start Up the Chip	1.67	1.80	1.92	V
POFF _{THR}	Power Off Threshold	VDD Level Required to Switch Off the Chip	0.95	1.25	1.54	V
T _{SU}	Startup Time	From VDD rising past PON _{THR}	--	1.20	--	ms
I _{stand_by}		T=+25 °C	--	70	--	nA
IO PIN						
V _{IH}	HIGH-Level Input Voltage	Logic Input	0.7*VDD	--	--	V
		Logic Input with Schmitt Trigger	0.8*VDD	--	--	V
		Low-Level Logic Input	0.82	--	--	V
V _{IL}	LOW-Level Input Voltage	Logic Input	--	--	0.3*VDD	V
		Logic Input with Schmitt Trigger	--	--	0.2*VDD	V
		Low-Level Logic Input	--	--	0.70	V
V _{HYS}	Schmitt Trigger Hysteresis Voltage	Logic Input with Schmitt Trigger	--	0.42	--	V
I _{LKG}	Input leakage (Absolute Value)	--	--	1	1000	nA
V _{OH}	HIGH-Level Output Voltage	Push-Pull, I _{OH} = 1 mA, 1X Drive	2.02	--	--	V
		Push-Pull, I _{OH} = 1 mA, 2X Drive	2.10	--	--	V
V _{OL}	LOW-Level Output Voltage	Push-Pull, I _{OL} = 1 mA, 1X Drive	--	--	0.11	V
		Push-Pull, I _{OL} = 1 mA, 2X Drive	--	--	0.06	V
		Open Drain, I _{OL} = 1 mA, 1X Drive	--	--	0.077	V
		Open Drain, I _{OL} = 1 mA, 2X Drive	--	--	0.075	V
I _{OH}	HIGH-Level Output Pulse Current (see Note)	Push-Pull, V _{OH} = VDD-0.2, 1X Drive	1.37	--	--	mA
		Push-Pull, V _{OH} = VDD-0.2, 2X Drive	2.74	--	--	mA
I _{OL}	LOW-Level Output Pulse Current (see Note)	Push-Pull, V _{OL} = 0.15 V, 1X Drive	1.61	--	--	mA
		Push-Pull, V _{OL} = 0.15 V, 2X Drive	3.22	--	--	mA
		Open Drain, V _{OL} = 0.15 V, 1X Drive	4.9	--	--	mA
		Open Drain, V _{OL} = 0.15 V, 2X Drive	9.8	--	--	mA
R _{PUP}	Pull Up Resistance	1 M Pull Up	--	1	--	MΩ
		100 k Pull Up	--	100	--	KΩ
		10 k Pull Up	--	10	--	KΩ
R _{PDWN}	Pull Down Resistance	1 M Pull Down	--	1	--	MΩ
		100 k Pull Down	--	100	--	KΩ
		10 k Pull Down	--	10	--	KΩ
Oscillators						
Power-On time	20MHz OSC	T=+25 °C	--	0.453	--	uS
Freq _{Accuracy}		T=+25 °C	--	19.73	--	MHz
		T=-40 °C to +85 °C	18.352	--	20.336	MHz
Power Consumption		T=+25 °C	--	60	--	uA
		T=-40 °C to +85 °C	--	--	67	uA
Power-On time	2.5MHz OSC	T=+25 °C	--	0.499	--	uS
Freq _{Accuracy}		T=+25 °C	--	2.466	--	MHz
		T=-40 °C to +85 °C	2.294	--	2.542	MHz

Parameter		Condition/Note	Min.	Typ.	Max.	Unit.
Power Consumption		T=+25 °C	--	37	--	uA
		T=-40 °C to +85 °C	--	--	42	uA
Power-On time	2KHz OSC	T=+25 °C	--	600	--	uS
FreqAccuracy		T=+25 °C	--	2	--	KHz
		T=-40 °C to +85 °C	1.847	--	2.074	KHz
Power Consumption		T=+25 °C	--	0.41	--	uA
	T=-40 °C to +85 °C	--	--	0.57	uA	
ACMPH Specifications						
V _{ACMP}	ACMP Input Voltage Range	Positive Input	0	--	VDD	V
		Negative Input	0	--	1.23	V
V _{offset}	ACMP Input Offset	--	-5	2	5	mV
Input Buffer	Bandwidth		--	500	--	KHz
	Offset		-9.6	4.8	9.6	mV
	Power Consumption		--	1.5	--	uA
t _{start}	ACMP Startup Time when BG On	ACMP Power-On delay, Minimal required wake time for the "Wake and Sleep function", for ACMPxH	--	33	--	uS
	ACMP Startup Time when BG Off		--	1	--	mS
R _{sin}	Series Input Resistance	Gain = 1	--	1	--	GΩ
		Gain = 1/2	1.2	1.34	1.48	MΩ
		Gain = 1/4	1.2	1.34	1.48	MΩ
		Gain = 1/5	1.2	1.34	1.48	MΩ
PROP	Propagation Delay, Response Time	Overdrive = 50 mV	--	0.366	0.492	uS
G	Gain	G=1	--	1	--	
		G=1/2 (ACMP- = 0.6V)	0.4969	0.5	0.5031	
		G=1/4 (ACMP- = 0.75V)	--	--	--	
		G=1/5 (ACMP- = 1.1V)	--	--	--	
V _{ref}	Internal V _{ref} error, V _{ref} =0 to1.23V	T=+25° C	--	5	--	mV
		T=-40 °C to +85 °C	-1.7%	--	1.7%	Fs
Power Consumption		Internal V _{ref} Without Input Buffer	--	9.0	--	uA
ACMPL Specifications						
V _{ACMP}	ACMP Input Voltage Range	Positive Input	0	--	VDD	V
		Negative Input	0	--	1.23	V
V _{offset}	ACMP Input Offset	--	-5	2	5	mV
t _{start}	ACMP Startup Time when BG ON	ACMP Power-On delay, Minimal required wake time for the "Wake and Sleep function", for ACMPxL	--	78	--	uS
	ACMP Startup Time when BG Off		--	1	--	mS
R _{sin}	Series Input Resistance	Gain = 1	--	1	--	GΩ
		Gain = 1/2	1.2	1.34	1.48	MΩ
		Gain = 1/4	1.2	1.34	1.48	MΩ
		Gain = 1/5	1.2	1.34	1.48	MΩ
PROP	Propagation Delay, Response Time	Overdrive = 50 mV	--	5.926	8.447	uS
G	Gain	G=1	--	1	--	
		G=1/2 (ACMP- = 0.6V)	0.4973	0.5	0.5027	
		G=1/4 (ACMP- = 0.75V)	--	--	--	
		G=1/5 (ACMP- = 1.1V)	--	--	--	
V _{ref}	Internal V _{ref} error, V _{ref} =0 to1.23V	T=25°C	--	5	--	mV
		T=-40 °C to +85 °C	-1.7%	--	1.7%	Fs

Parameter		Condition/Note	Min.	Typ.	Max.	Unit.
Power Consumption		Internal Vref	--	3.8	--	uA
Vref Out Characteristics						
VrefAccuracy	Vref Gain Accuracy	G=1	--	1	--	
		G=2	-0.501%	2	0.484%	
Vrefoffset	Vref Opamp Offset	G=1 (VCM IN=VDD/2)	-6	3	6	mV
Vref DACoffset			-1.70%	0.5%	1.70%	Fs
Iloading		Source Current	--	2	--	mA
Power Consumption		G=1	--	1.77	--	uA
Turn On Time		0.5% Accuracy	--	150	--	uS
Voltage of Output to VDD		Maximum output voltage Vout = VDD – 0.3 – 300Ω × Iout				
PGA						
Input Range			0	--	VDD	V
Linear Output Range			0.1	--	VDD-0.1	V
Voffset	Single End	G=1(+25 °C)	--	1.5	6.5	mV
		G=1(-40 °C to +85 °C)	--	--	7	mV
	Differential	G=1(25°C)	--	3	13.5	mV
		G=1(-40 °C to +85 °C)	--	--	18.5	mV
Gain Error	Single End	G=1	--	1	--	
		G=2	-2.2%	2	2.2%	
		G=4	-3.5%	4	3.5%	
		G=8	-3.1%	8	3.1%	
		G=16	-2.7%	16	2.7%	
	Differential	G=1	--	1	--	
		G=2	-2.3%	2	2.3%	
		G=4	-2.4%	4	2.4%	
		G=8	-2.0%	8	2.0%	
		G=16	-2.3%	16	2.3%	
Bandwidth		G=1	--	700	--	KHz
Turn On Time		0.5% Accuracy	--	20	--	uS
Power Consumption	Single End		--	38	--	uA
	Differential		--	129	--	uA
Note: DC or average current through any pin should not exceed value given in Absolute Maximum Conditions.						

表 6: Electrical Characteristics (VDD: 3.3V±10%, Temp: -40~85°C)

Parameter		Condition/Note	Min.	Typ.	Max.	Unit.
POR						
PON _{THR}	Power On Threshold	VDD Level Required to Start Up the Chip	1.67	1.80	1.92	V
POFF _{THR}	Power Off Threshold	VDD Level Required to Switch Off the Chip	0.95	1.25	1.54	V
T _{SU}	Startup Time	From VDD rising past PON _{THR}	--	1.20	--	ms
Istand_by		T=+25 °C	--	97	--	nA

Parameter		Condition/Note	Min.	Typ.	Max.	Unit.
IO PIN						
V _{IH}	HIGH-Level Input Voltage	Logic Input	0.7*VDD	--	--	V
		Logic Input with Schmitt Trigger	0.8*VDD	--	--	V
		Low-Level Logic Input	0.92	--	--	V
V _{IL}	LOW-Level Input Voltage	Logic Input	--	--	0.3*VDD	V
		Logic Input with Schmitt Trigger	--	--	0.2*VDD	V
		Low-Level Logic Input	--	--	0.77	V
V _{HYS}	Schmitt Trigger Hysteresis Voltage	Logic Input with Schmitt Trigger	--	0.45	--	V
I _{LKG}	Input leakage (Absolute Value)	--	--	1	1000	nA
V _{OH}	HIGH-Level Output Voltage	Push-Pull, I _{OH} = 3 mA, 1X Drive	2.60	--	--	V
		Push-Pull, I _{OH} = 3 mA, 2X Drive	2.80	--	--	V
V _{OL}	LOW-Level Output Voltage	Push-Pull, I _{OL} = 3 mA, 1X Drive	--	--	0.25	V
		Push-Pull, I _{OL} = 3 mA, 2X Drive	--	--	0.22	V
		Open Drain, I _{OL} = 3 mA, 1X Drive	--	--	0.12	V
		Open Drain, I _{OL} = 3 mA, 2X Drive	--	--	0.089	V
I _{OH}	HIGH-Level Output Pulse Current (see Note)	Push-Pull, V _{OH} = 2.4 V , 1X Drive	5	--	--	mA
		Push-Pull, V _{OH} = 2.4 V, 2X Drive	10	--	--	mA
I _{OL}	LOW-Level Output Pulse Current (see Note)	Push-Pull, V _{OL} = 0.4 V, 1X Drive	5	--	--	mA
		Push-Pull, V _{OL} = 0.4 V, 2X Drive	10	--	--	mA
		Open Drain, V _{OL} = 0.4 V, 1X Drive	15	--	--	mA
		Open Drain, V _{OL} = 0.4 V, 2X Drive	30	--	--	mA
R _{PUP}	Pull Up Resistance	1 M Pull Up	--	1	--	MΩ
		100 k Pull Up	--	100	--	KΩ
		10 k Pull Up	--	10	--	KΩ
R _{PDWN}	Pull Down Resistance	1 M Pull Down	--	1	--	MΩ
		100 k Pull Down	--	100	--	KΩ
		10 k Pull Down	--	10	--	KΩ
Oscillators						
Power-On time	20MHz OSC	T=+25 °C	--	0.445	--	uS
FreqAccuracy		T=+25 °C	--	19.90	--	MHz
		T=-40 °C to +85 °C	18.568	--	20.504	MHz
Power Consumption		T=+25 °C	--	73	--	uA
		T=-40 °C to +85 °C	--	--	82	uA
Power-On time	2.5MHz OSC	T=+25 °C	--	0.472	--	uS
FreqAccuracy		T=+25 °C	--	2.488	--	MHz
		T=-40 °C to +85 °C	2.321	--	2.563	MHz
Power Consumption		T=+25 °C	--	40	--	uA
		T=-40 °C to +85 °C	--	--	46	uA
Power-On time	2KHz OSC	T=+25 °C	--	569	--	uS
FreqAccuracy		T=+25 °C	--	2	--	KHz
		T=-40 °C to +85 °C	1.843	--	2.072	KHz
Power Consumption		T=+25 °C	--	0.44	--	uA
		T=-40 °C to +85 °C	--	--	0.62	uA

Parameter		Condition/Note	Min.	Typ.	Max.	Unit.
ACMPH Specifications						
V_{ACMP}	ACMP Input Voltage Range	Positive Input	0	--	VDD	V
		Negative Input	0	--	1.23	V
V_{offset}	ACMP Input Offset	--	-5	2	5	mV
Input Buffer	Bandwidth		--	500	--	KHz
	Offset		-9.6	4.8	9.6	mV
	Power Consumption		--	2	--	
t_{start}	ACMP Startup Time when BG ON	ACMP Power-On delay, Minimal required wake time for the "Wake and Sleep function", for ACMPxH	--	29	--	uS
	ACMP Startup Time when BG Off		--	1	--	mS
R_{sin}	Series Input Resistance	Gain = 1	--	1	--	GΩ
		Gain = 1/2	1.2	1.34	1.48	MΩ
		Gain = 1/4	1.2	1.34	1.48	MΩ
		Gain = 1/5	1.2	1.34	1.48	MΩ
PROP	Propagation Delay, Response Time	Overdrive = 50 mV	--	0.338	0.423	uS
G	Gain	G=1	--	1	--	
		G=1/2 (ACMP- = 0.6V)	0.4970	0.5	0.5030	
		G=1/4 (ACMP- = 0.75V)	0.2475	0.25	0.2525	
		G=1/5 (ACMP- = 1.1V)	--	--	--	
V_{ref}	Internal Vref error, Vref=0 to1.23V	T=25°C	--	5	--	mV
		T=-40 °C to +85 °C	-1.7%	--	1.7%	Fs
Power Consumption		Internal Vref Without Input Buffer	--	9.3	--	uA
ACMPL Specifications						
V_{ACMP}	ACMP Input Voltage Range	Positive Input	0	--	VDD	V
		Negative Input	0	--	1.23	V
V_{offset}	ACMP Input Offset	--	-5	2	5	mV
t_{start}	ACMP Startup Time when BG ON	ACMP Power-On delay, Minimal required wake time for the "Wake and Sleep function", for ACMPxL	--	75	--	uS
	ACMP Startup Time when BG Off		--	1	--	mS
R_{sin}	Series Input Resistance	Gain = 1	--	1	--	GΩ
		Gain = 1/2	1.2	1.34	1.48	MΩ
		Gain = 1/4	1.2	1.34	1.48	MΩ
		Gain = 1/5	1.2	1.34	1.48	MΩ
PROP	Propagation Delay, Response Time	Overdrive = 50 mV	--	6.115	8.596	uS
G	Gain	G=1	--	1	--	
		G=1/2 (ACMP- = 0.6V)	0.4971	0.5	0.5029	
		G=1/4 (ACMP- = 0.75V)	0.2472	0.25	0.2528	
		G=1/5 (ACMP- = 1.1V)	--	--	--	
V_{ref}	Internal Vref error, Vref=0 to1.23V	T=+25 °C	--	5	--	mV
		T=-40 °C to +85 °C	-1.7%	--	1.7%	Fs
Power Consumption		Internal Vref	--	3.9	--	uA
Vref Out Characteristics						
$V_{refAccuracy}$	Vref Gain Accuracy	G=1	--	1	--	
		G=2	-0.538%	2	0.439%	
$V_{refoffset}$	Vref Opamp Offset	G=1 (VCM IN=VDD/2)	-6	3	6	mV

Parameter		Condition/Note	Min.	Typ.	Max.	Unit.
Vref DAC _{offset}			-1.70%	0.5%	1.70%	Fs
I _{loading}		Source Current	--	2	--	mA
Power Consumption		G=1	--	1.86	--	uA
Turn On Time		0.5% Accuracy	--	150	--	uS
Voltage of Output to VDD		Maximum output voltage Vout = VDD – 0.3 – 300Ω × Iout				
PGA						
Input Range			0	--	VDD	V
Linear Output Range			0.1	--	VDD-0.1	V
V _{offset}	Single End	G=1(+25 °C)	--	1.5	6.5	mV
		G=1(-40 °C to +85 °C)	--	--	7	mV
	Differential	G=1(+25 °C)	--	3	14.5	mV
		G=1(-40 °C to +85 °C)	--	--	20	mV
Gain Error	Single End	G=1	--	1	--	
		G=2	-2.2%	2	2.2%	
		G=4	-3.5%	4	3.5%	
		G=8	-3.1%	8	3.1%	
		G=16	-2.7%	16	2.7%	
	Differential	G=1	--	1	--	
		G=2	-2.3%	2	2.3%	
		G=4	-2.4%	4	2.4%	
		G=8	-2.0%	8	2.0%	
		G=16	-2.3%	16	2.3%	
Bandwidth		G=1	--	700	--	KHz
Turn On Time		0.5% Accuracy	--	20	--	uS
Power Consumption		Single End	--	39	--	uA
		Differential	--	131	--	uA
Note: DC or average current through any pin should not exceed value given in Absolute Maximum Conditions.						

表 7: Electrical Characteristics (VDD: 5V±10%, Temp: -40~85°C)

Parameter		Condition/Note	Min.	Typ.	Max.	Unit.
POR						
PON _{THR}	Power On Threshold	VDD Level Required to Start Up the Chip	1.67	1.80	1.92	V
POFF _{THR}	Power Off Threshold	VDD Level Required to Switch Off the Chip	0.95	1.25	1.54	V
T _{SU}	Startup Time	From VDD rising past PON _{THR}	--	1.20	--	ms
I _{stand_by}		T=+25 °C	--	155	--	nA
IO PIN						
V _{IH}	HIGH-Level Input Voltage	Logic Input	0.7*VDD	--	--	V
		Logic Input with Schmitt Trigger	0.8*VDD	--	--	V
		Low-Level Logic Input	1.00	--	--	V
V _{IL}	LOW-Level Input Voltage	Logic Input	--	--	0.3*VDD	V
		Logic Input with Schmitt Trigger	--	--	0.2*VDD	V
		Low-Level Logic Input	--	--	0.86	V

Parameter		Condition/Note	Min.	Typ.	Max.	Unit.
V _{HYS}	SchmittTrigger Hysteresis Voltage	Logic Input with Schmitt Trigger	--	0.54	--	V
I _{LKG}	Input leakage (Absolute Value)	--	--	1	1000	nA
V _{OH}	HIGH-Level Output Voltage	Push-Pull, I _{OH} = 5 mA, 1X Drive	4.04	--	--	V
		Push-Pull, I _{OH} = 5 mA, 2X Drive	4.20	--	--	V
V _{OL}	LOW-Level Output Voltage	Push-Pull, I _{OL} = 5 mA, 1X Drive	--	--	0.29	V
		Push-Pull, I _{OL} = 5 mA, 2X Drive	--	--	0.21	V
		Open Drain, I _{OL} = 5 mA, 1X Drive	--	--	0.15	V
		Open Drain, I _{OL} = 5 mA, 2X Drive	--	--	0.114	V
I _{OH}	HIGH-Level Output Pulse Current (see Note)	Push-Pull, V _{OH} = 2.4 V , 1X Drive	19	--	--	mA
		Push-Pull, V _{OH} = 2.4 V , 2X Drive	38	--	--	mA
I _{OL}	LOW-Level Output Pulse Current (see Note)	Push-Pull, V _{OL} = 0.4 V, 1X Drive	7	--	--	mA
		Push-Pull, V _{OL} = 0.4 V, 2X Drive	14	--	--	mA
		Open Drain, V _{OL} = 0.4 V, 1X Drive	21	--	--	mA
		Open Drain, V _{OL} = 0.4 V, 2X Drive	42	--	--	mA
R _{PUP}	Pull Up Resistance	1 M Pull Up	--	1	--	MΩ
		100 k Pull Up	--	100	--	KΩ
		10 k Pull Up	--	10	--	KΩ
R _{PDWN}	Pull Down Resistance	1 M Pull Down	--	1	--	MΩ
		100 k Pull Down	--	100	--	KΩ
		10 k Pull Down	--	10	--	KΩ
Oscillators						
Power-On time	20MHz OSC	T=+25 °C	--	0.433	--	uS
FreqAccuracy		T=+25 °C	--	20.13	--	MHz
		T=-40 °C to +85 °C	18.784	--	20.776	MHz
Power Consumption		T=+25 °C	--	104	--	uA
		T=-40 °C to +85 °C	--	--	118	uA
Power-On time	2.5MHz OSC	T=+25 °C	--	0.445	--	uS
FreqAccuracy		T=+25 °C	--	2.516	--	MHz
		T=-40 °C to +85 °C	2.348	--	2.597	MHz
Power Consumption		T=+25 °C	--	48	--	uA
		T=-40 °C to +85 °C	--	--	56	uA
Power-On time	2KHz OSC	T=+25 °C	--	537	--	uS
FreqAccuracy		T=+25 °C	--	2	--	KHz
		T=-40 °C to +85 °C	1.842	--	2.071	KHz
Power Consumption		T=+25 °C	--	0.54	--	uA
		T=-40 °C to +85 °C	--	--	0.78	uA
ACMPH Specifications						
V _{ACMP}	ACMP Input Voltage Range	Positive Input	0	--	VDD	V
		Negative Input	0	--	1.23	V
V _{offset}	ACMP Input Offset	--	-5	2	5	mV
Input Buffer	Bandwidth		--	500	--	KHz
	Offset		-9.6	4.8	9.6	mV
	Power Consumption		--	2	--	
t _{start}	ACMP Startup Time when BG ON	ACMP Power-On delay, Minimal required wake time for the "Wake and Sleep function", for ACMPxH	--	29	--	uS
	ACMP Startup Time when BG Off		--	1	--	mS

Parameter		Condition/Note	Min.	Typ.	Max.	Unit.
R _{sin}	Series Input Resistance	Gain = 1	--	1	--	GΩ
		Gain = 1/2	1.2	1.34	1.48	MΩ
		Gain = 1/4	1.2	1.34	1.48	MΩ
		Gain = 1/5	1.2	1.34	1.48	MΩ
PROP	Propagation Delay, Response Time	Overdrive = 50 mV	--	0.318	0.402	μs
G	Gain	G=1	--	1	--	
		G=1/2 (ACMP- = 0.6V)	0.4943	0.5	0.5057	
		G=1/4 (ACMP- = 0.75V)	0.2470	0.25	0.2530	
		G=1/5 (ACMP- = 1.1V)	0.1980	0.2	0.2019	
V _{ref}	Internal V _{ref} error, V _{ref} =0 to1.23V	T=+25 °C	--	5	--	mV
		T=-40 °C to +85 °C	-1.7%	--	1.7%	Fs
Power Consumption		Internal V _{ref} Without Input Buffer	--	10	--	μA
ACMPL Specifications						
V _{ACMP}	ACMP Input Voltage Range	Positive Input	0	--	VDD	V
		Negative Input	0		1.23	V
V _{offset}	ACMP Input Offset	--	-5	2	5	mV
t _{start}	ACMP Startup Time when BG ON	ACMP Power-On delay, Minimal required wake time for the "Wake and Sleep function", for ACMPL	--	108	--	μs
	ACMP Startup Time when BG Off		--	1	--	ms
R _{sin}	Series Input Resistance	Gain = 1	--	1	--	GΩ
		Gain = 1/2	1.2	1.34	1.48	MΩ
		Gain = 1/4	1.2	1.34	1.48	MΩ
		Gain = 1/5	1.2	1.34	1.48	MΩ
PROP	Propagation Delay, Response Time	Overdrive = 50 mV	--	6.477	8.159	μs
G	Gain	G=1	--	1	--	
		G=1/2 (ACMP- = 0.6V)	0.4968	0.5	0.5032	
		G=1/4 (ACMP- = 0.75V)	0.2470	0.25	0.2529	
		G=1/5 (ACMP- = 1.1V)	0.1975	0.2	0.2025	
V _{ref}	Internal V _{ref} error, V _{ref} =0 to1.23V	T=+25 °C	--	5	--	mV
		T=-40 °C to +85 °C	-1.7%	--	1.7%	Fs
Power Consumption		Internal V _{ref}	--	4.2	--	μA
V _{ref} Out Characteristics						
V _{ref} _{Accuracy}	V _{ref} Gain Accuracy	G=1	--	1	--	
		G=2	-0.597%	2	0.413%	
V _{ref} _{offset}	V _{ref} Opamp Offset	G=1 (V _{CM} IN=VDD/2)	-6	3	6	mV
V _{ref} DAC _{Offset}			-1.70%	0.5%	1.70%	Fs
I _{loading}		Source Current	--	2	--	mA
Power Consumption		G=1	--	2.15	--	μA
Turn On Time		0.5% Accuracy	--	150	--	μs
Voltage of Output to VDD		Maximum output voltage V _{out} = VDD – 0.3 – 300Ω × I _{out}				
PGA						
Input Range			0	--	VDD	V
Linear Output Range			0.1	--	VDD-0.1	V

Parameter		Condition/Note	Min.	Typ.	Max.	Unit.
V_{offset}	Single End	G=1(+25 °C)	--	1.5	8	mV
		G=1(-40°C to +85 °C)	--	--	7	mV
	Differential	G=1(+25 °C)	--	3.5	15	mV
		G=1(-40°C to +85°C)	--	--	22.5	mV
Gain Error	Single End	G=1	--	1	--	
		G=2	-2.2%	2	2.2%	
		G=4	-3.5%	4	3.5%	
		G=8	-3.1%	8	3.1%	
		G=16	-2.7%	16	2.7%	
	Differential	G=1	--	1	--	
		G=2	-2.3%	2	2.3%	
		G=4	-2.4%	4	2.4%	
		G=8	-2.0%	8	2.0%	
		G=16	-2.3%	16	2.3%	
Bandwidth		G=1	--	700	--	KHz
Turn On Time		0.5% Accuracy	--	20	--	uS
Power Consumption	Single End		--	42	--	uA
	Differential		--	137	--	uA

Note: DC or average current through any pin should not exceed value given in Absolute Maximum Conditions.

表 8: I²C 引脚时序参数 (VDD: 2.3V ~ 5.5V, Temp: -40°C ~ 85°C)

Parameter	Description	Condition	Fast-Mode		Fast-Mode Plus		Unit
			Min	Max	Min	Max	
F _{SCL}	Clock Frequency, SCL		--	400	--	1000	KHz
t _{LOW}	Clock Pulse Width Low		1300	--	500	--	ns
t _{HIGH}	Clock Pulse Width High		600	--	260	--	ns
t _i	Input Filter Spike Suppression (SCL, SDA)	VDD=2.5V±8%	--	95	--	168	ns
		VDD=3.3V±10%	--	95	--	157	ns
		VDD=5.0V±10%	--	111	--	156	ns
t _{AA}	Clock Low to Data Out Valid		--	900	--	450	ns
t _{BUF}	Bus Free Time between Stop and Start		1300	--	500	--	ns
t _{HD_STA}	Start Hold Time		600	--	260	--	ns
t _{SU_STA}	Start Set-up Time		600	--	260	--	ns
t _{HD_DAT}	Data Hold Time		0	--	0	--	ns
t _{SU_DAT}	Data Set-up Time		100	--	50	--	ns
t _R	Inputs Fail Time		--	300	--	120	ns
t _F	Inputs Rise Time		--	300	--	120	ns
t _{SU_STO}	Stop Set-up Time		600	--	260	--	ns
t _{DH}	Data out Hold Time		50	--	50	--	ns

Note: Timing Diagram can be found in the Figure 20.

4. 输入输出引脚

LS98102 共有 11 个 GPIO 引脚，可以用作用户定义的输入或输出，也可以用作特殊功能（例如输出电压参考）、1 个 GPI 引脚。

4.1 通用输入引脚

GPI_1 用作通用输入口，对于通用输入口，内部框图如图 3 所示。

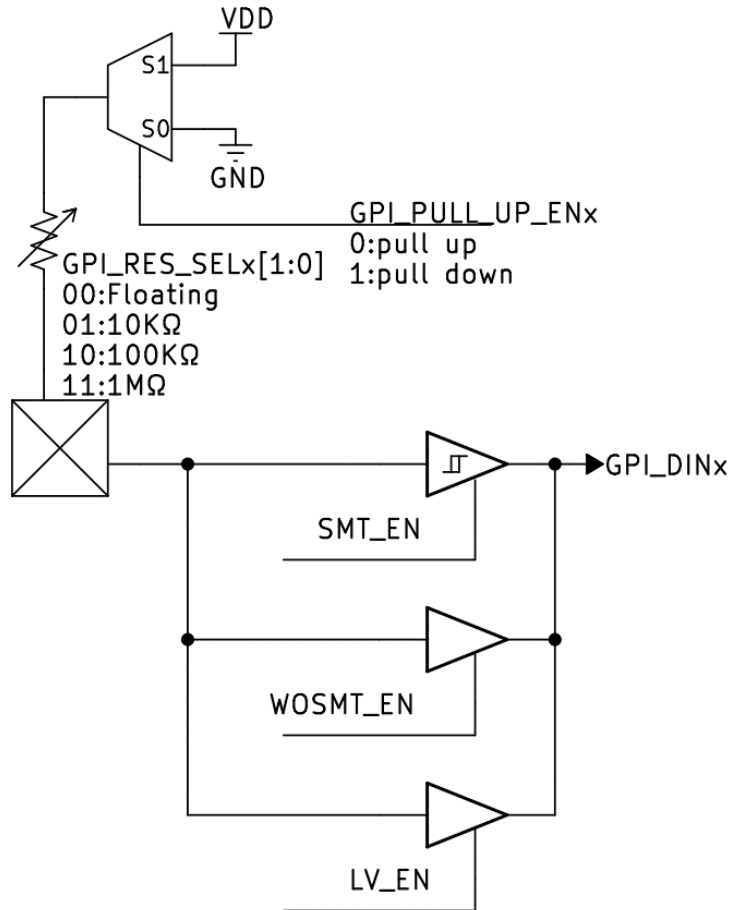


图 3: 通用输入口内部框图

4.2 通用输入输出引脚

IO2、IO3、IO4、IO5、IO6、IO7、IO8、IO9、IO10、IO11、IO12 用作通用 IO 口。
GPIO2(PIN3)、GPIO3(PIN4)分别作用于 I2C-SCL 和 I2C-SDA 的内部框图如图 4 所示。

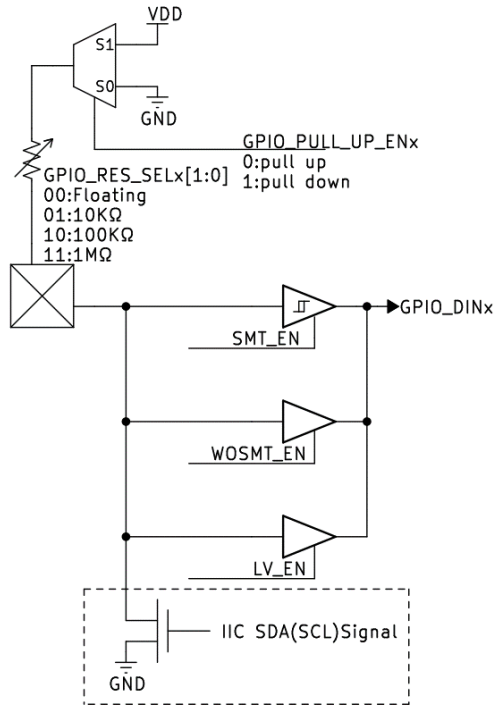


图 4：通用输入输出引脚 PIN3/PIN4 内部框图

IO4,5,6,7,8,9,10,11,12 的内部框图如图 5 所示。

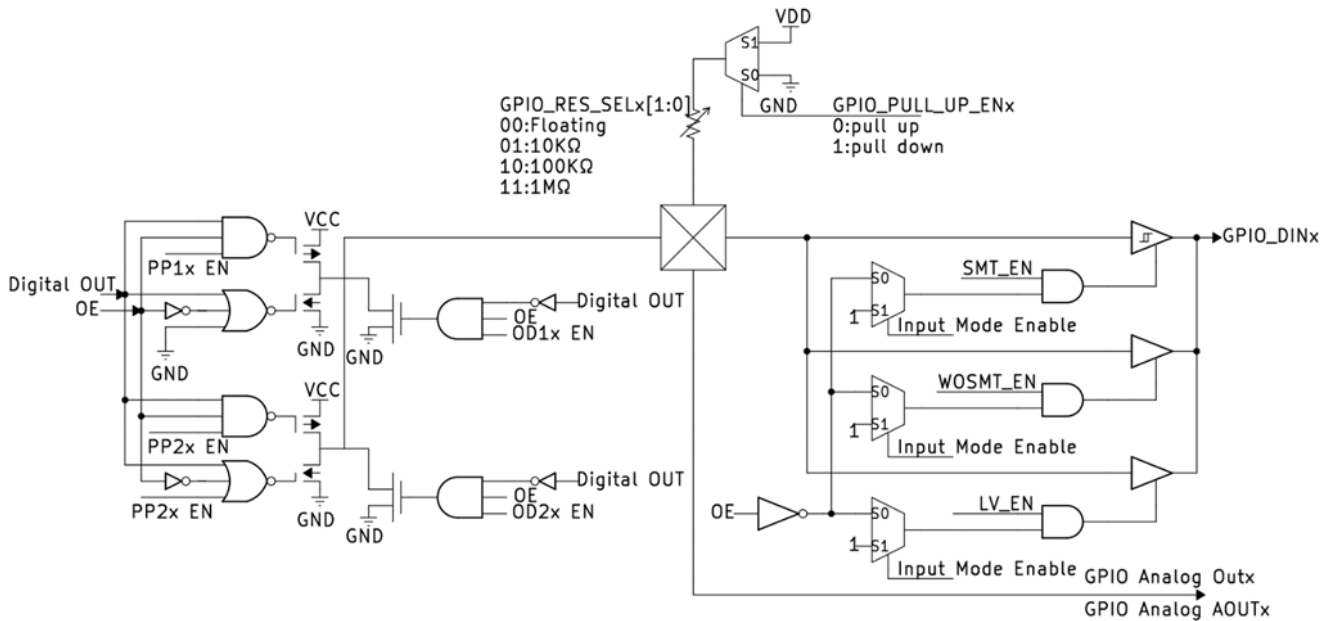


图 5：通用输入输出引脚内部框图

5. 互联矩阵

LS98102 内部有三个互联矩阵，其中一个主矩阵，两个子矩阵。通过寄存器配置，互联矩阵可用于内部资源连接以及主矩阵和子矩阵的连接。这些寄存器可通过 OTP 烧录。

互联矩阵的输入来自内部资源或互联矩阵的输出，而互联矩阵的输出则是内部资源或互联矩阵的输入。每个互联矩阵的输出均通过一组寄存器来配置。

6. 组合逻辑功能单元

LS98102具有20个组合功能单元，可以用作多个逻辑或定时功能。在各种情况下，它们都可以用作LUT，或者用作另一个逻辑或定时功能，能够在这些单元中实现的功能，请参见下面的列表：

- ◆ 4x 2-bit LUT/DFF
- ◆ 2x 2-bit LUT/Pattern Generator
- ◆ 2x 2-bit LUT/Edge Detector
- ◆ 10x 3-bit LUT/DFF with nRST/nSET
- ◆ 2x 3-bit LUT/Pipe Delay

6.1 组合逻辑单元电路图

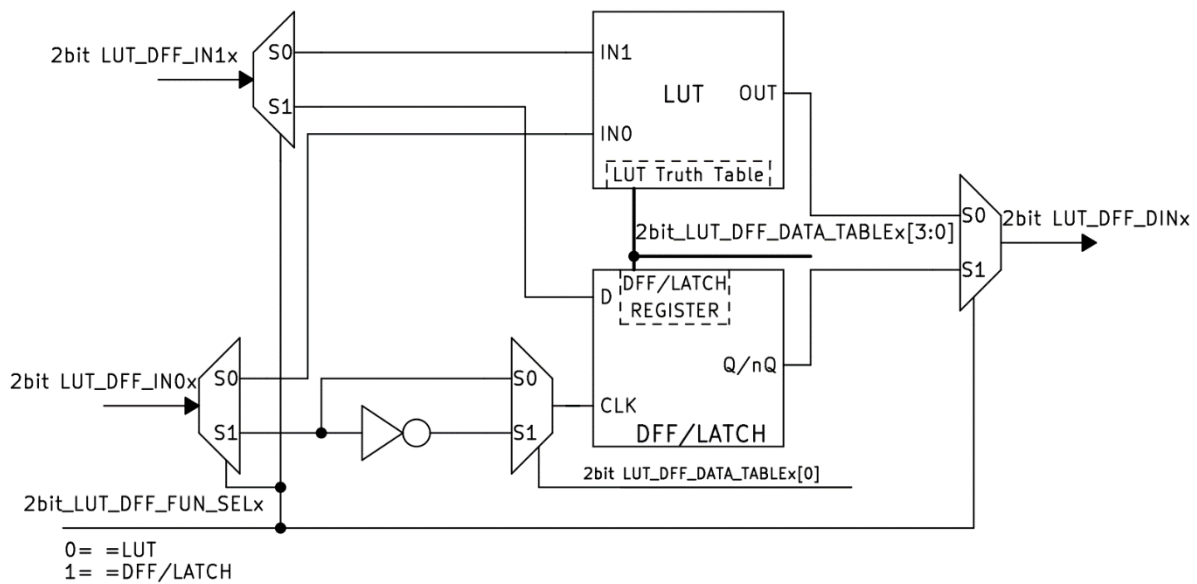


图 6: 2-bit LUT/DFF

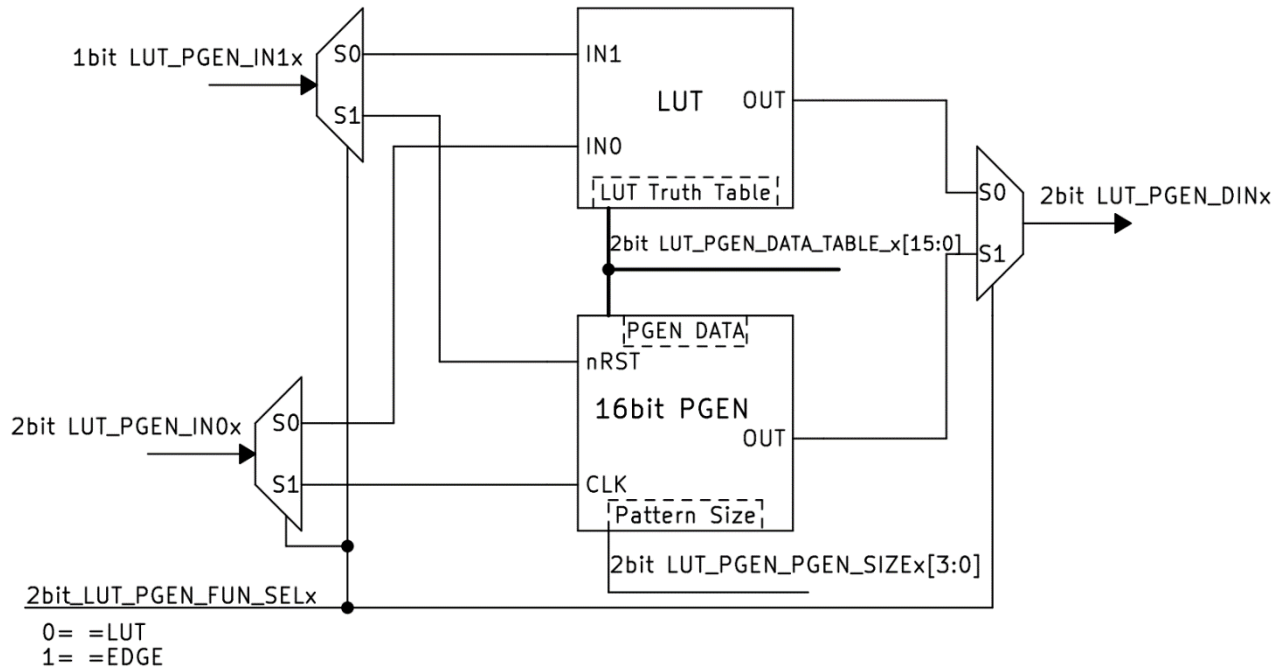


图 7: 2-bit LUT/Pattern Generator 电路图

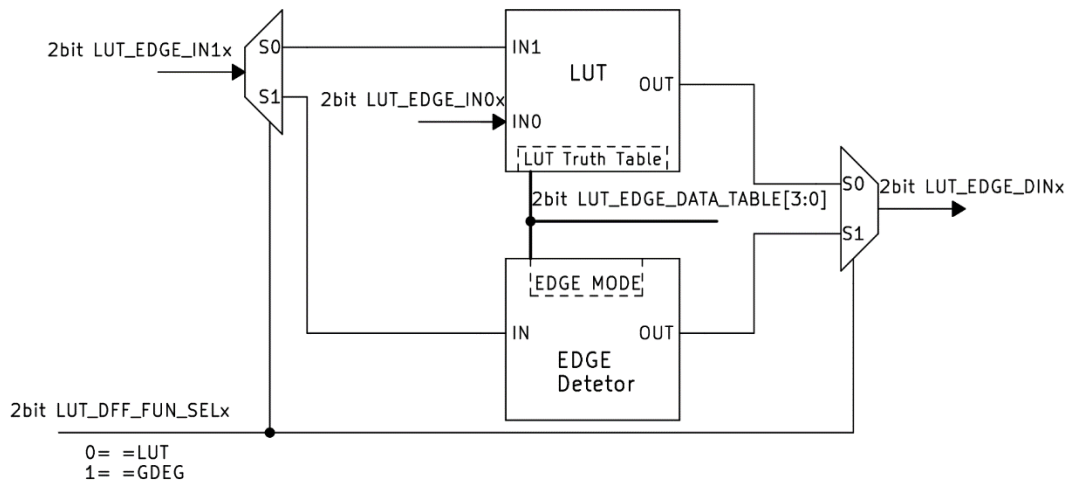


图 8: 2 bit LUT/Edge Detector 电路图

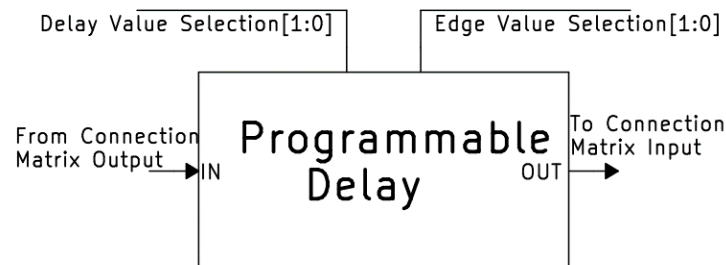


图 9: Programmable Delay 框图

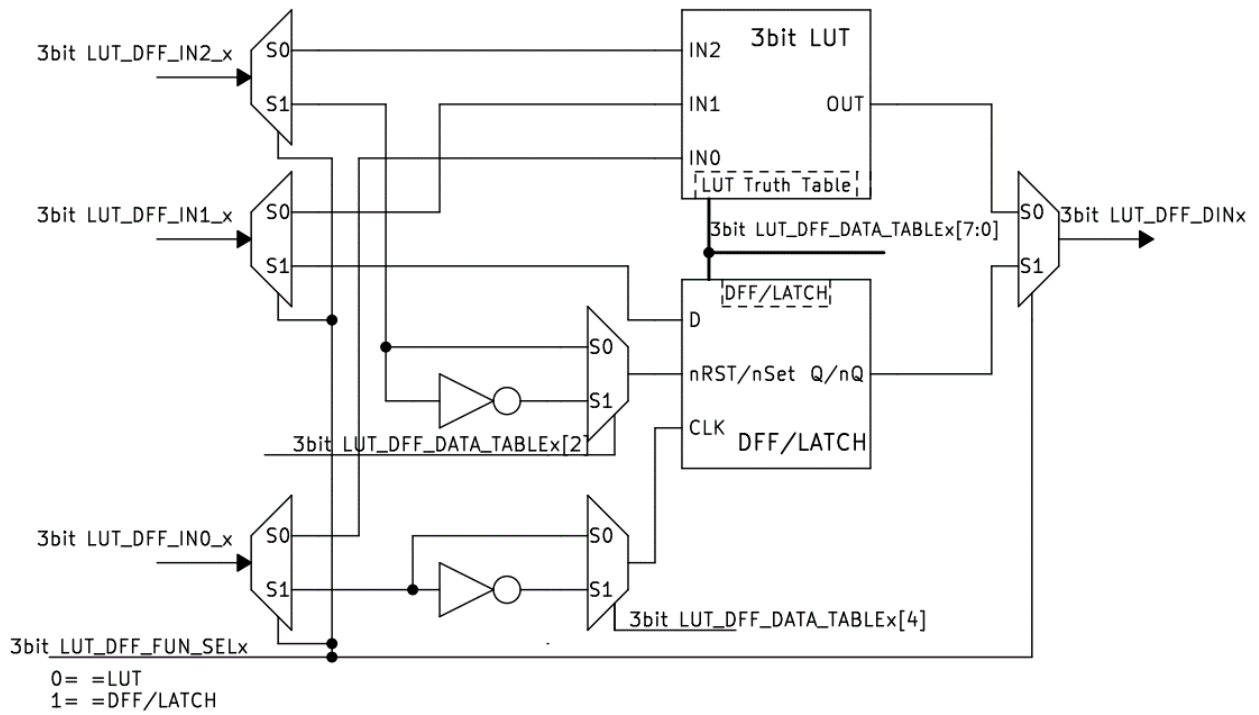


图 10: 3-bit LUT/DFF 电路图

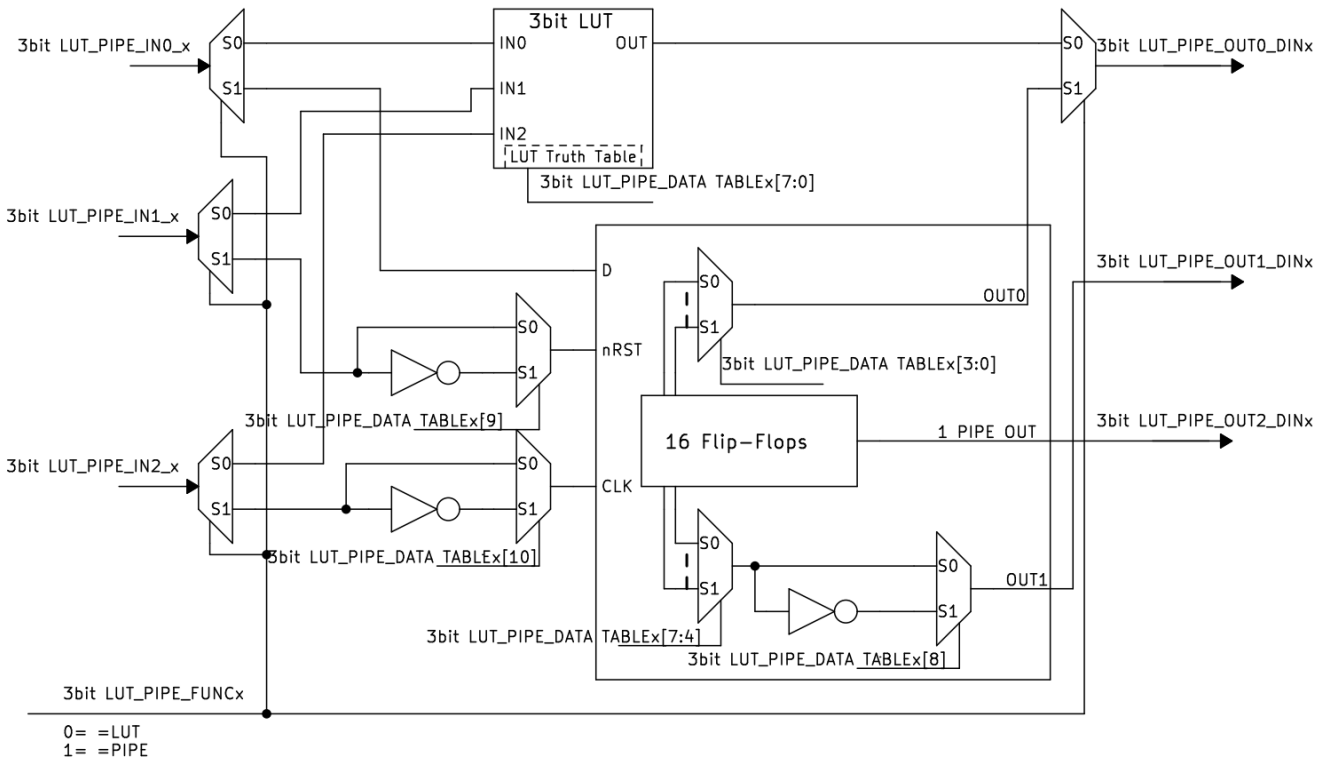


图 11: 3-bit LUT/Pipe Delay 电路图

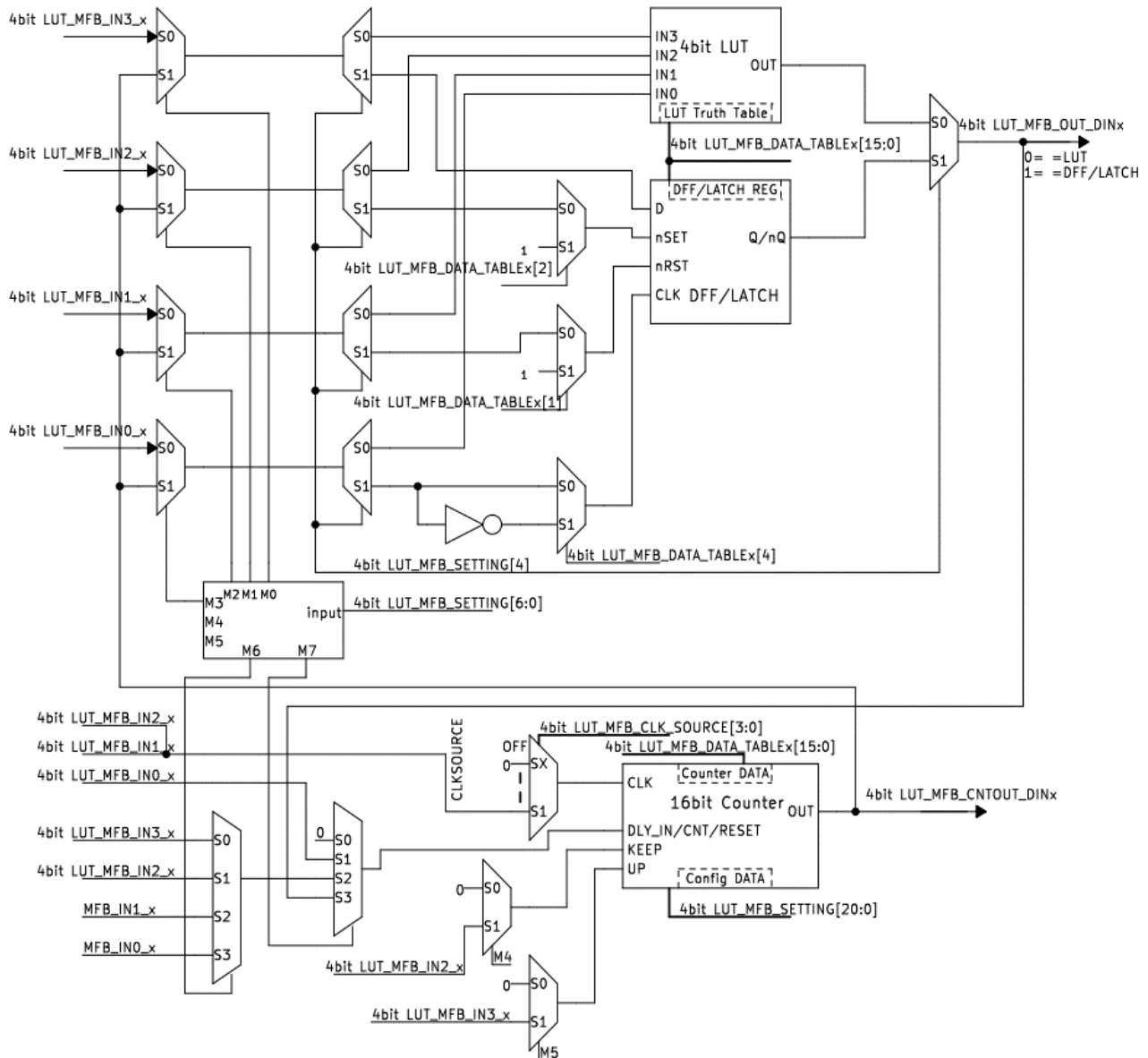


图 13: 4-bit LUT 或 16-bit Counter/Delay

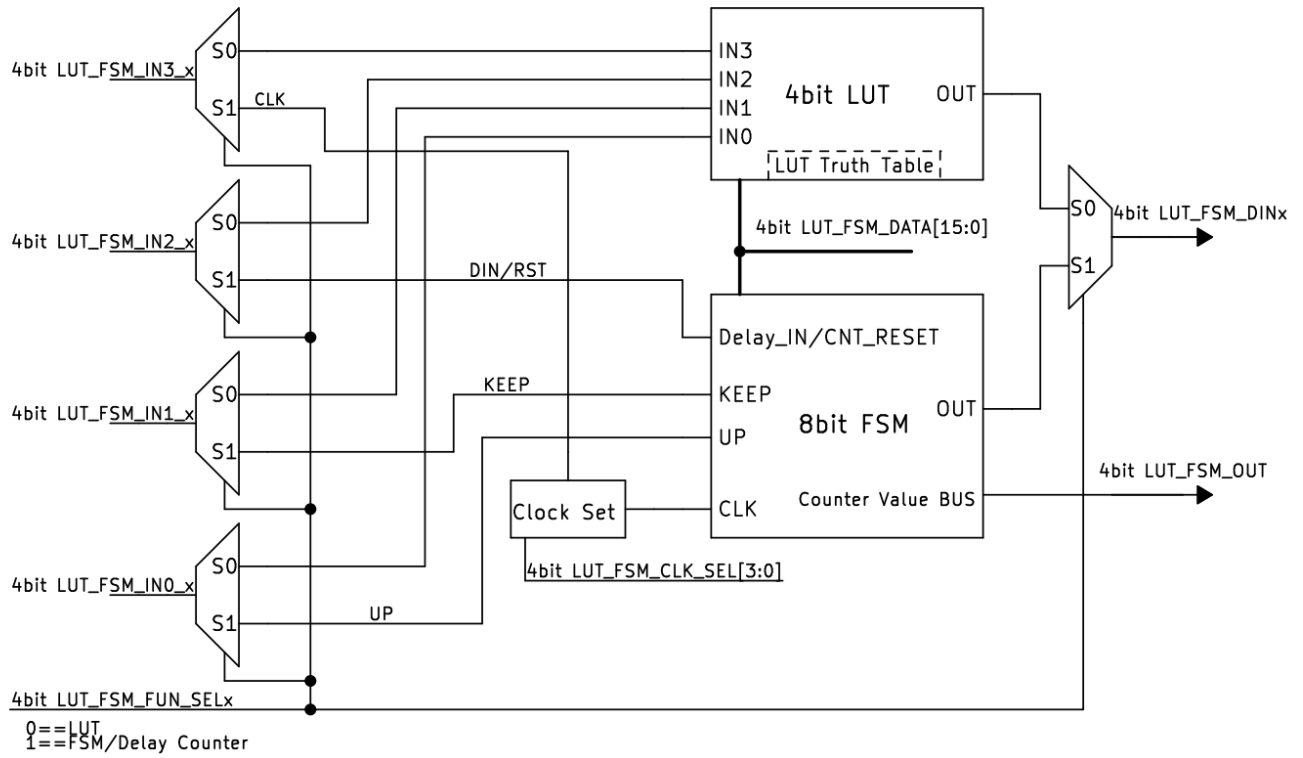


图 14: 4-bit LUT/8-bit FSM 电路图

8. I²C 通信接口

LS98102 提供 I²C 通信接口，允许 I²C master 去读或写内部寄存器，从而远程重新配置内部资源及其连接关系。

8.1 I²C 读取

8.1.1 当前地址读取指令

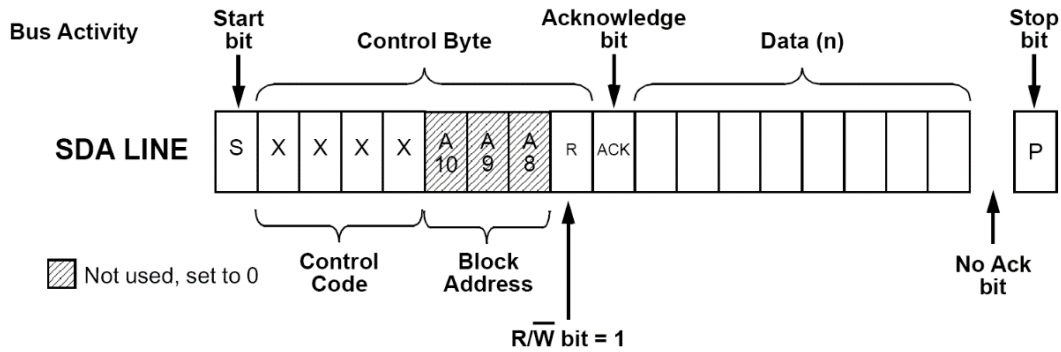


图 15: 当前地址读取指令

8.1.2 随机读取指令

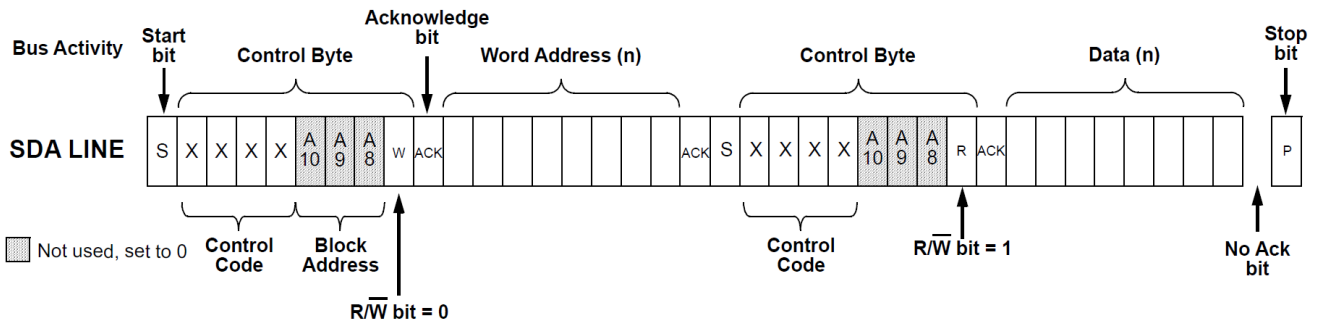


图 16: 随机读取指令

8.1.3 顺序读取指令

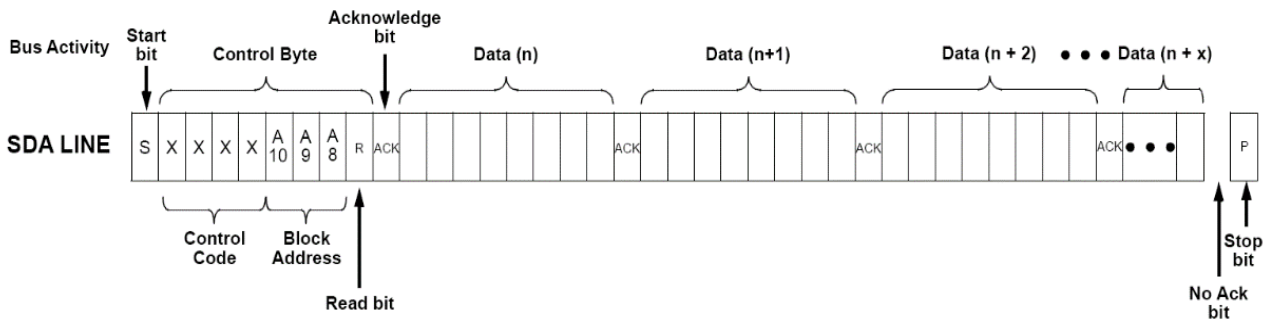


图 17: 顺序读取指令

8.2 I²C 写入

8.2.1 字节写入指令

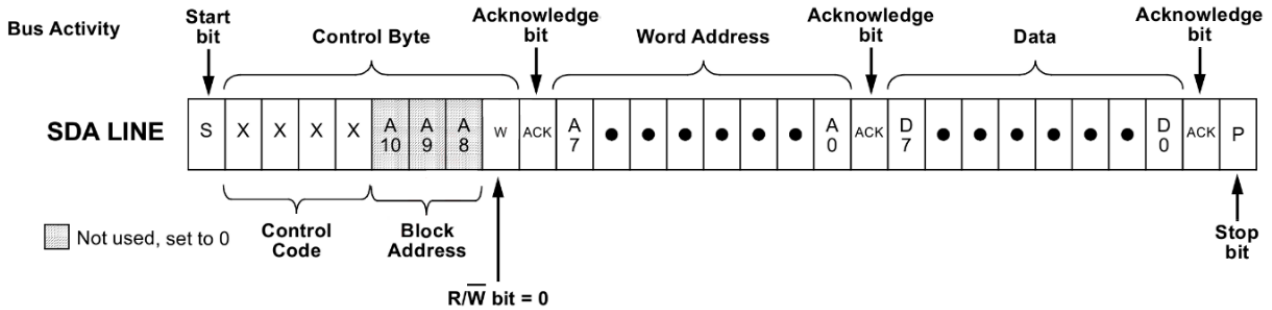


图 18: 字节写入指令

8.2.2 顺序写入指令

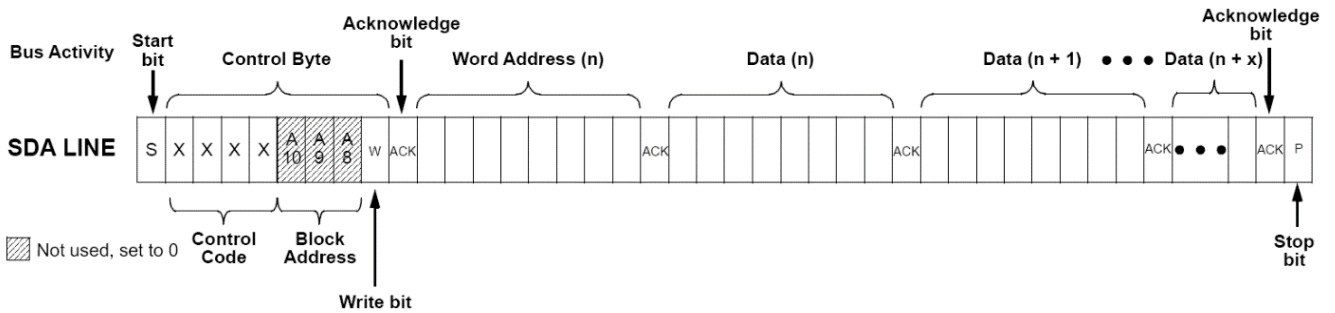


图 19: 顺序写入指令

8.3 I²C 时序图

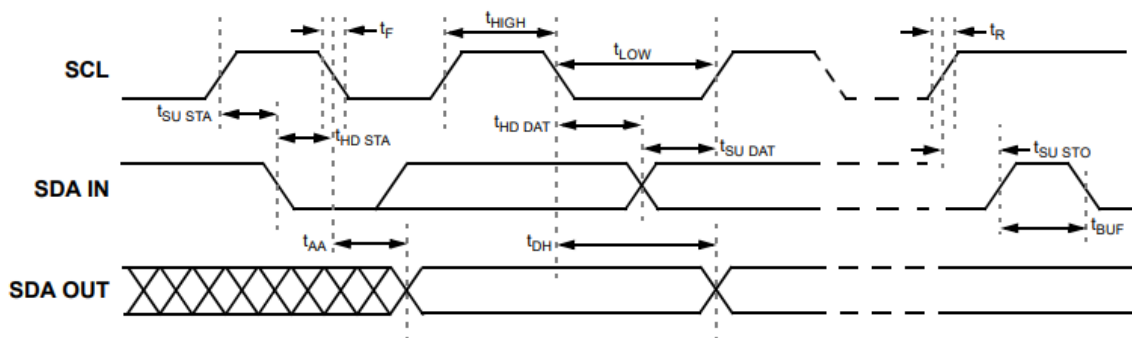


图 20: I²C 时序图

8.4 I²C 软件复位功能

如果与设备建立 I²C 串行通信，则可以将设备复位到初始上电条件，包括所有宏单元的配置和连接矩阵提供的所有连接。这是通过设置寄存器[1861]，I²C 复位为“1”来实现的，这导致设备重新启用 POR 序列，包括从 NVM 重新加载所有寄存器数据。在 POR 序列期间，设备的输出将处于三态，复位完成后，内容寄存器[1861]的值将自动设置为“0”。

9. 电压参考源 (Voltage Reference)

9.1 电压参考源概述

电压源输出模块，参考电压源来自于 8 bit DAC，然后接一个驱动放大器，放大倍数为 1X，2X。

9.2 电压参考源公式

输出电压 $V = 1.23V / 256 \times D \times \text{Gain}$ (D: 8 bit DAC's Data Gain: $\times 1 \times 2$)

PIN3 source current $\geq 2mA$

9.3 电压参考源系统框图

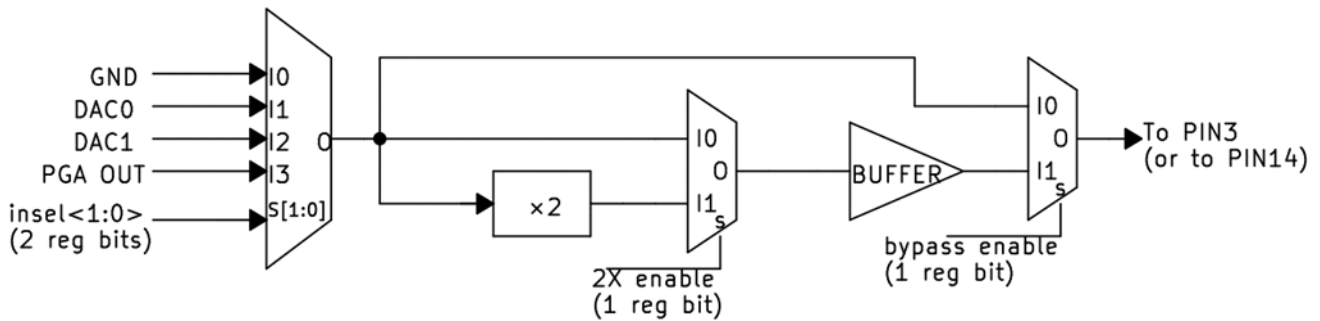


图 21: 电压参考源系统框图

10. 数字比较器

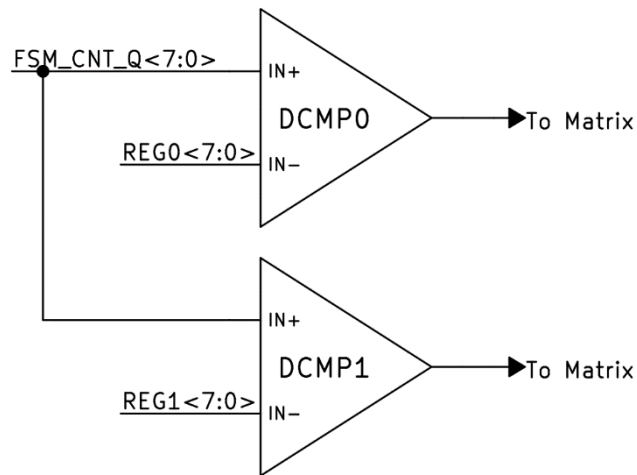


图 22: DCMP

11. 模拟比较器(ACMP)

ACMP 的输入有 8 个通道，8 个通道使能后，4 个输出通道可以任意选择 8 个输入端。

11.1 高速比较器 (High Speed ACMP)

- Internal VREF: 8bit DAC ($=1.23V * \text{'DAC data'} / 256$)

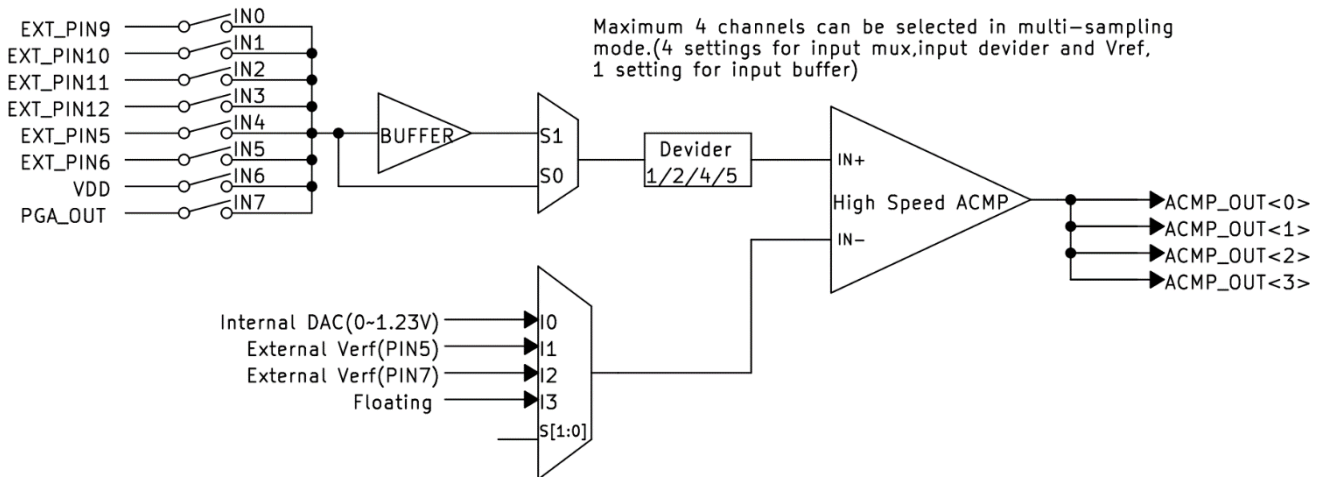


图 23: 高速比较器电路图

11.2 低功耗比较器 (Low Speed ACMP)

- Internal VREF: 8bit DAC ($=1.23V * \text{'DAC data'} / 256$)

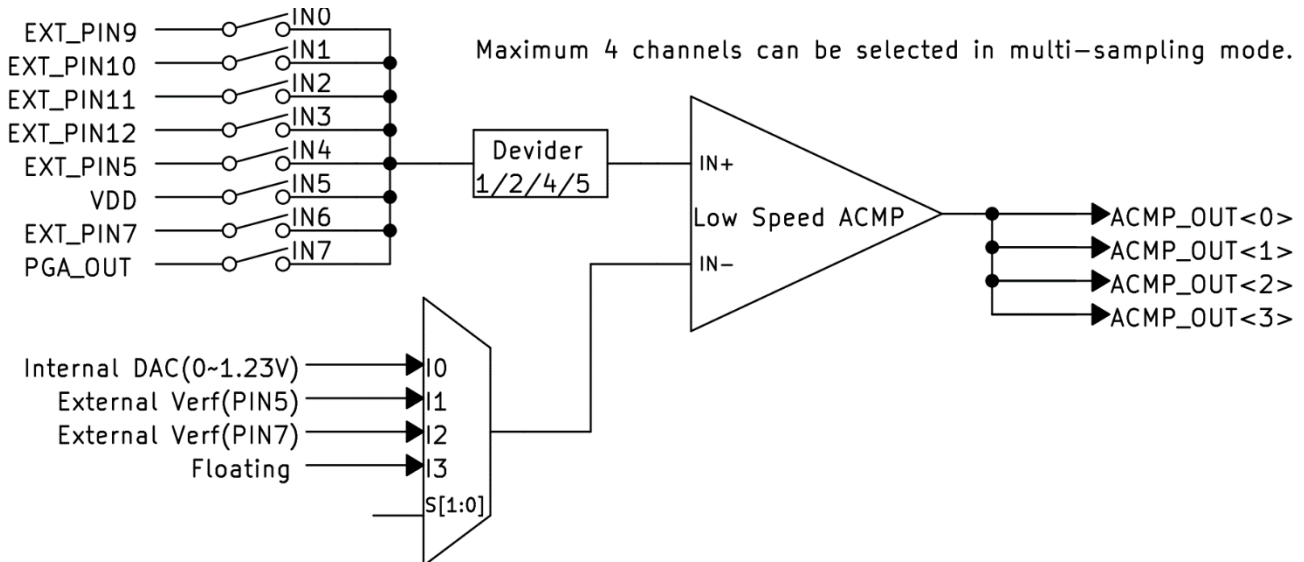


图 24: 低功耗比较器电路图

12. PGA

- Gain: X1, X2, X4, X8 or X16
- Differential Mode

$$V_{out} = [(v_{in+}) - (v_{in-})] * Gain + V_{CM_OUT}$$

$$\text{Input range: } 200\text{mV} \leq V_{cmi} + [(v_{in+}) - (v_{in-})] * Gain \leq V_{dd} - 200\text{mV}$$

$$V_{cmi}: \text{Input Common Mode}$$
- Pseudo-Differential Mode

$$V_{out} = [(v_{in+}) - (V_{offin_DAC})] * Gain + V_{CM_OUT}$$

$$\text{Input range: } 200\text{mV} \leq [(v_{in+}) - (V_{offin_DAC})] * Gain \leq V_{dd} - 200\text{mV}$$
- Single Ended Mode

$$V_{out} = V_{in} * Gain$$

$$\text{Input range: } 200\text{mV} \leq V_{in} * Gain \leq V_{dd} - 200\text{mV}$$

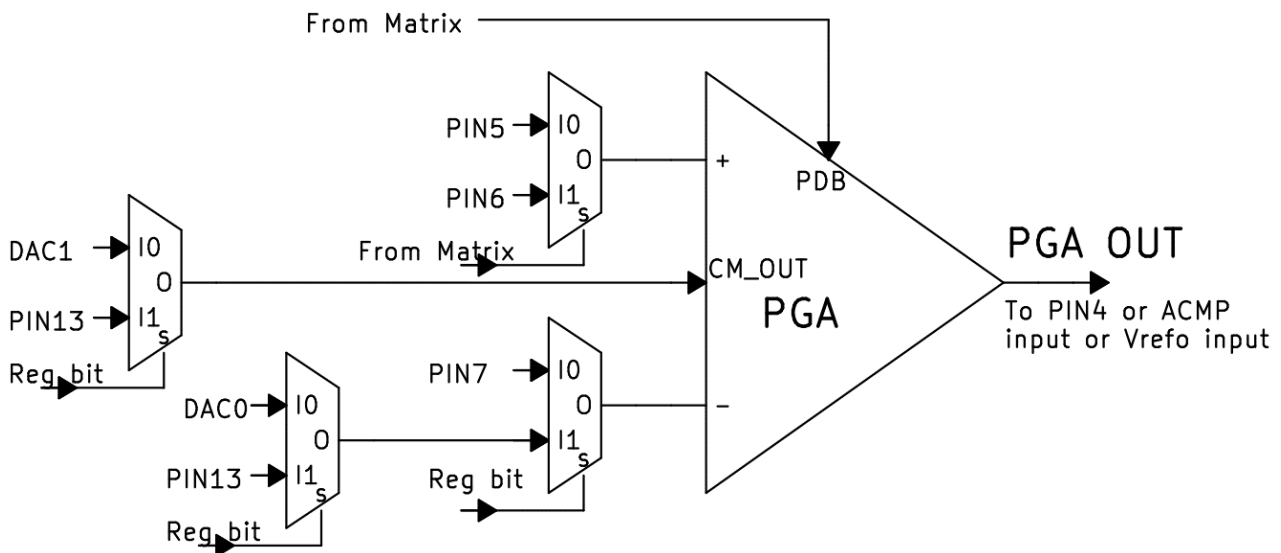


图 25: PGA

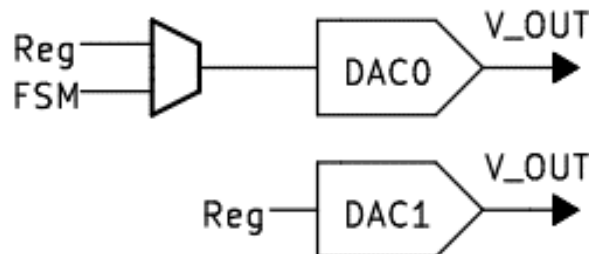


图 26: DAC

13. 时钟方案

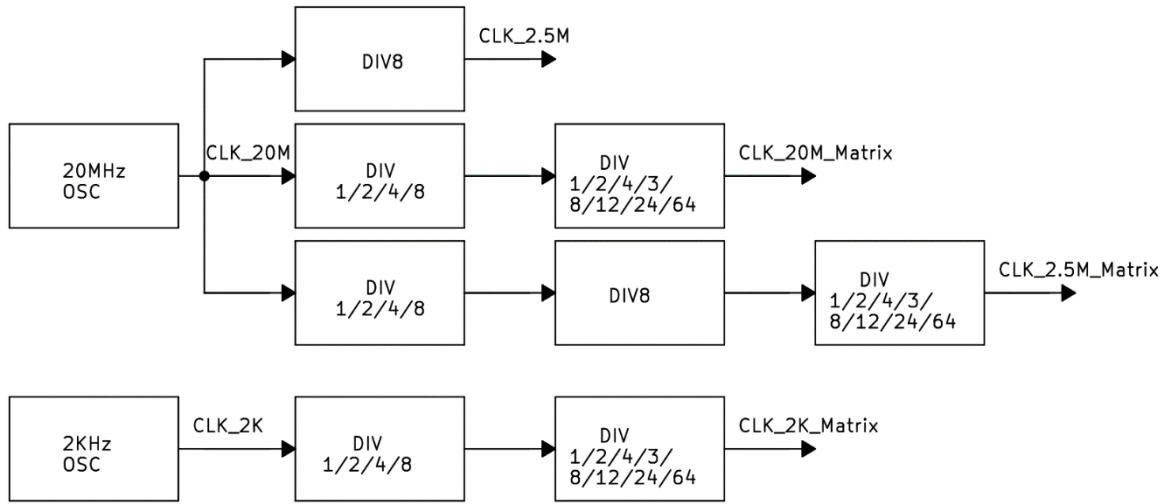


图 27: 时钟源

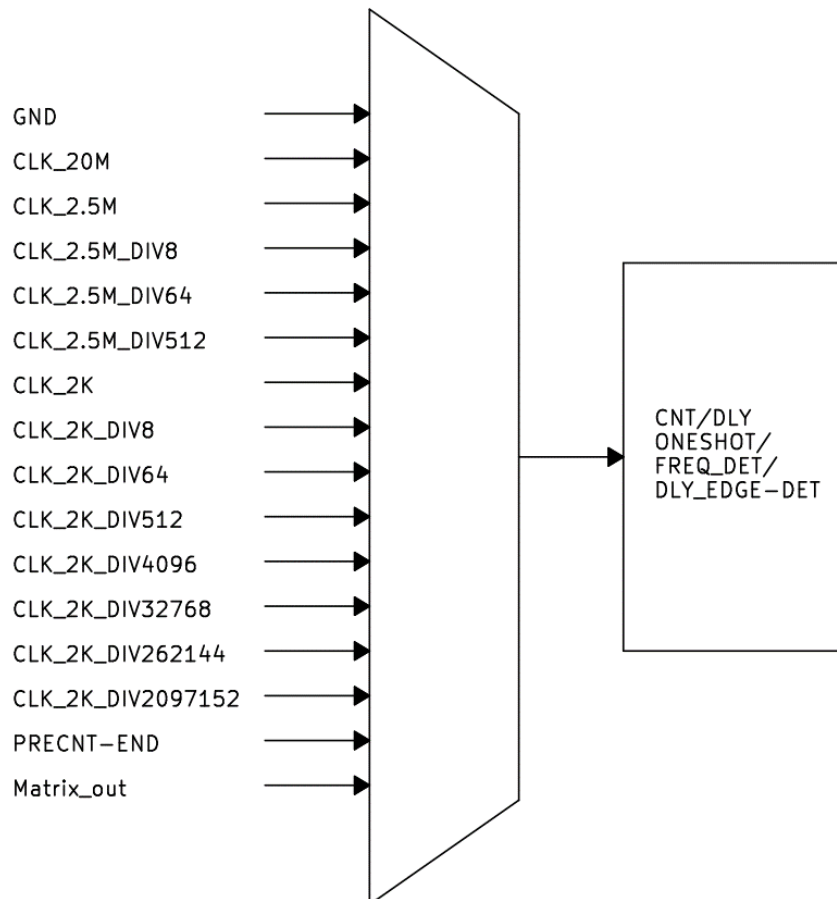


图 28: 时钟分配图

14. 外部时钟

LS98102 支持多种使用外部高精度时钟作为内部操作参考源的方式。

14.1 Matrix Source for 2KHz / 2.5MHz / 20MHz Clock

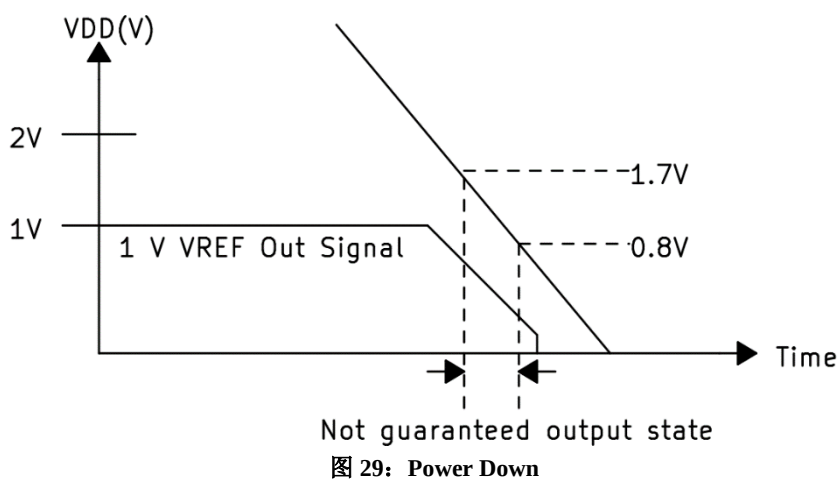
20MHz Clock 来自于 PIN13; 2.5MHz Clock 来自于 PIN5 ; 2KHz Clock 来自于 PIN2。

15. 代码保护功能

LS98102 提供给客户一种代码保护功能，当保护位 bit[1863]被 program 成“1”之后所有芯片功能相关的代码可以被锁定，无法被读出，有效保护客户的设计信息。

16. POR

16.1 Power Down



16.2 POR 序列

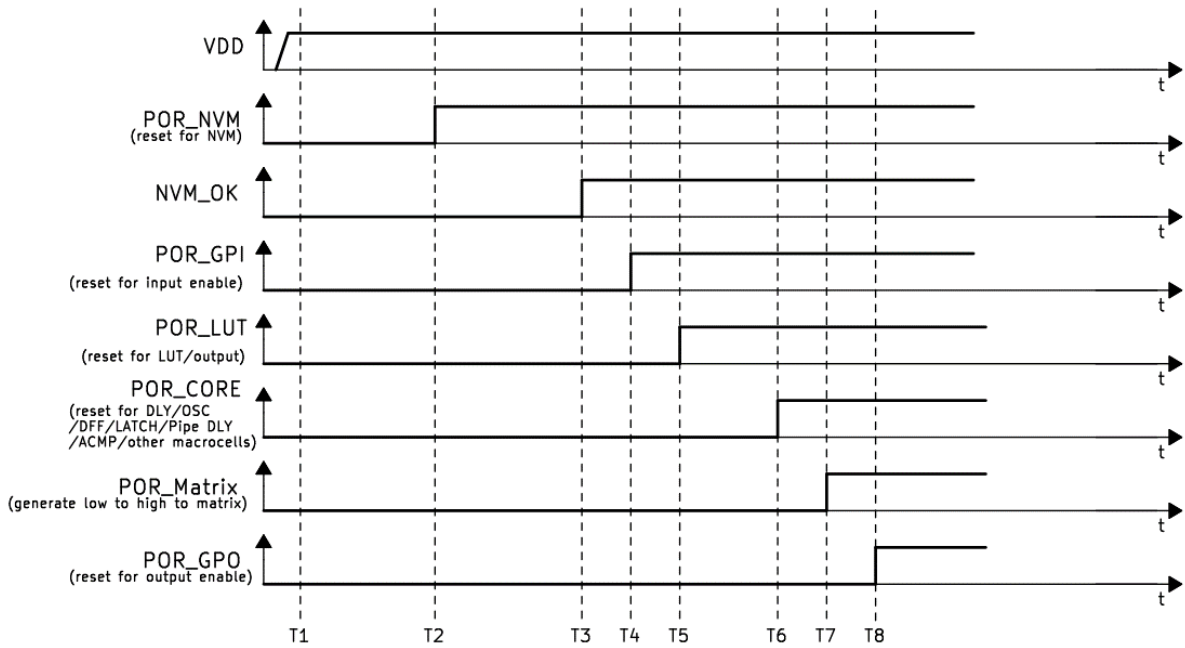


图 30: POR 序列图

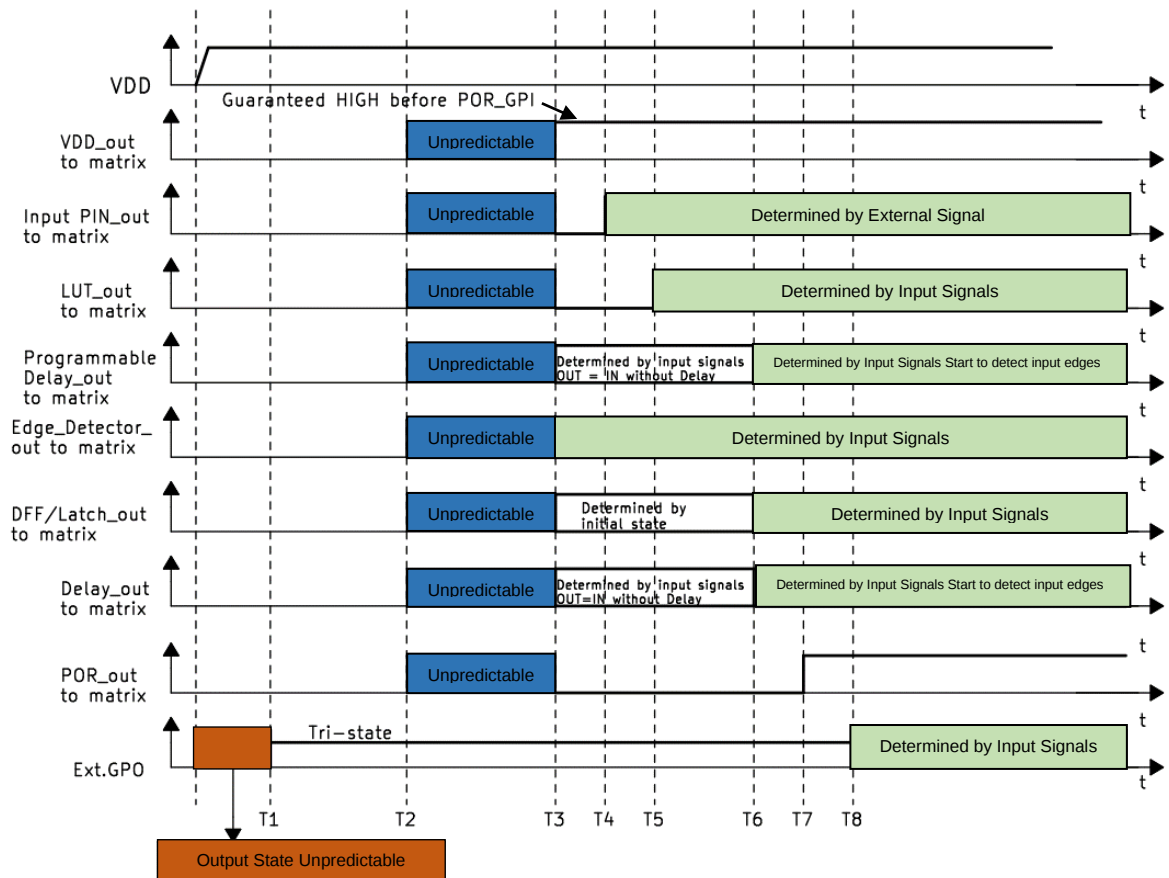


图 31: Internal Macrocell States during POR sequence

注：图 30 和图 31 的 T1-T8 一一对应。

17. Virtual Memory

17.1 Virtual Memory Input

I²C 可以把 register bit [991:984] 写入主矩阵的 input <23:16>.

17.2 Virtual Memory Output

I²C 可以通过 register [999:992] 读出内部节点的输出，以下是相关配置信息：

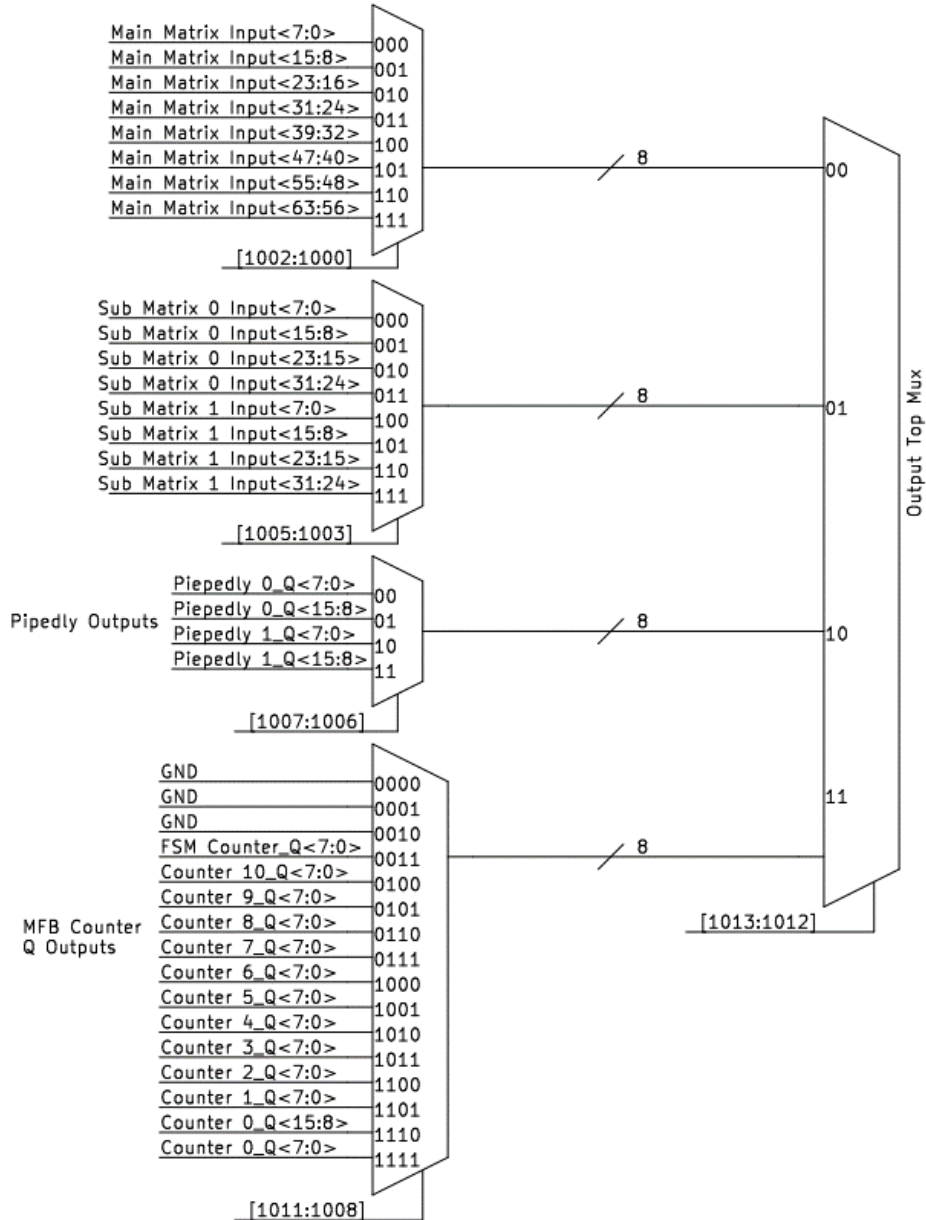


图 32: Virtual Memory Out

18. 封装信息

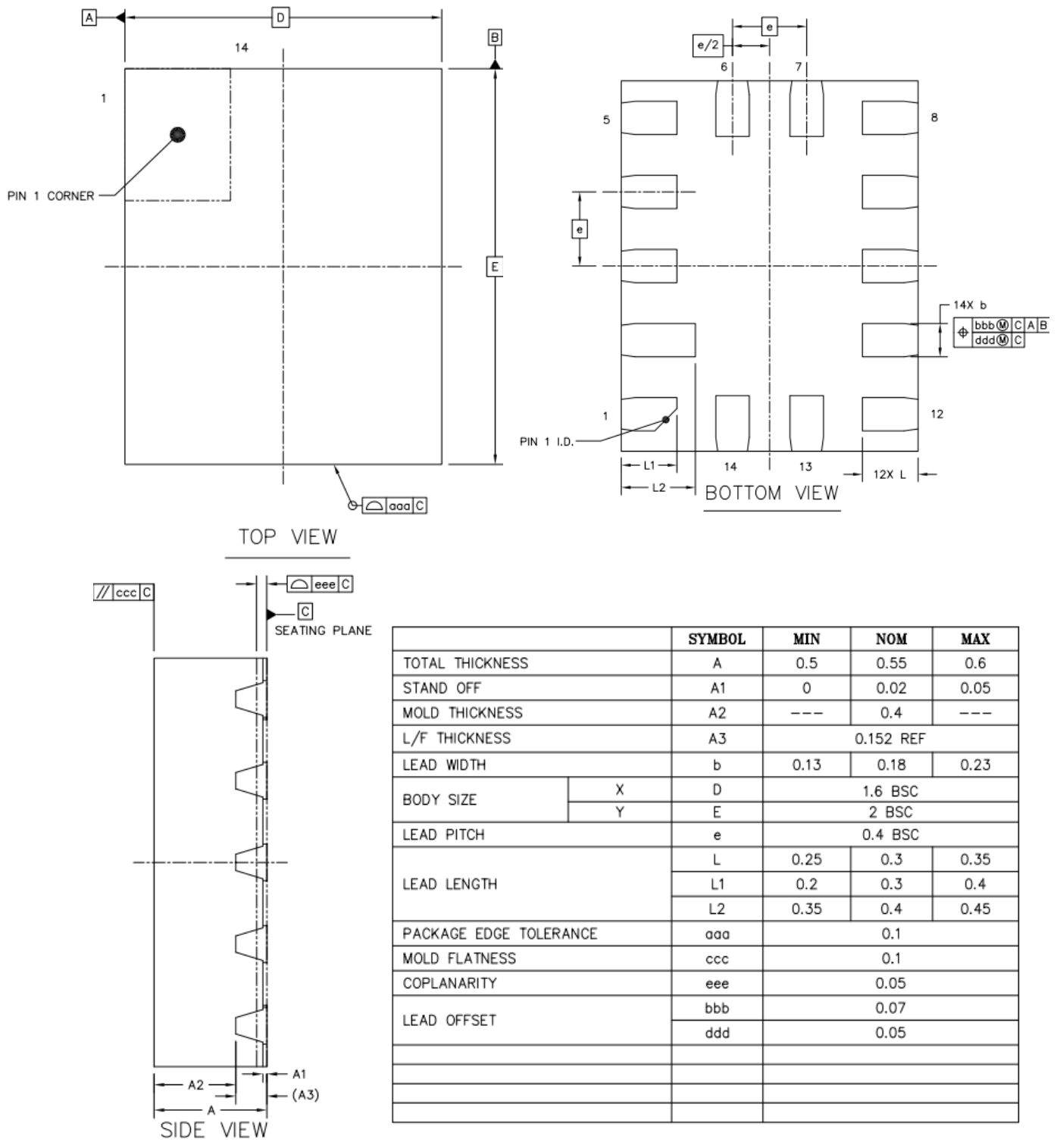


图 33: 封装轮廓图

19. 订购信息

19.1 载带和卷盘规格

表 9: Package Type

Package Type	Num of Pins	Package Size [mm]	Units/package		Reel & Hub Size [mm]	Leader (min)		Trailer (min)		Tape Width [mm]	Part Pitch [mm]
			SPQ	1 Box		Pockets	Length [mm]	Pockets	Length [mm]		
TQFN-14L 1.6×2mm	14	1.6×2×0.55	3000	3000	178/54	30	120	140	560	8	4

19.2 载带图与尺寸

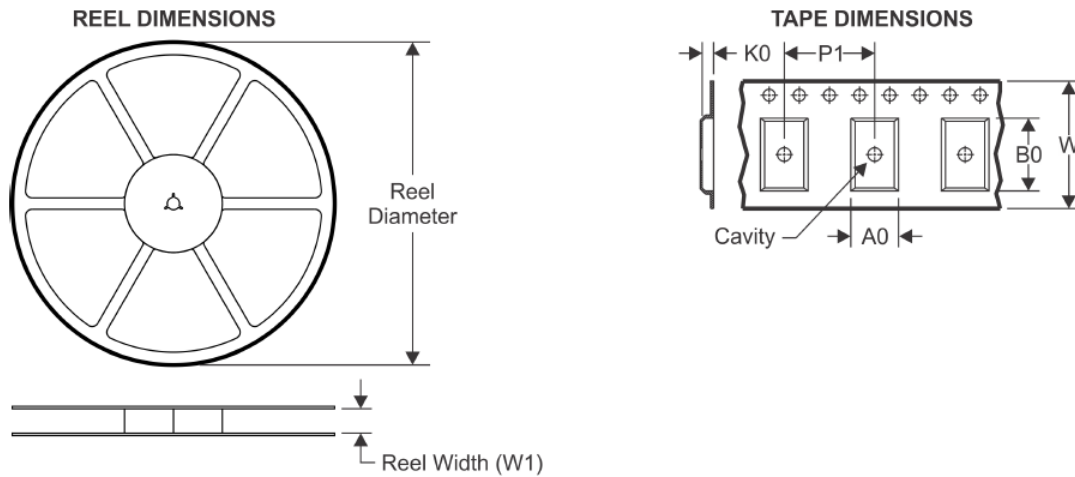


图 34: 载带尺寸图

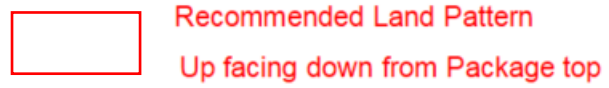
表 10: 载带尺寸规格

A0	Dimension designed to accommodate the component width	1.76mm
B0	Dimension designed to accommodate the component length	2.16mm
K0	Dimension designed to accommodate the component thickness	0.73mm
W	Overall width of the carrier tape	8.00mm
W1	Reel Width	9.50mm
P0	Pitch between Index Hole Pitch	4.00mm
P1	Pitch between successive cavity centers	4.00mm

20. Recommended Reflow Soldering Profile

Please see IPC/JEDEC J-STD-020

20.1 Recommended Land Pattern



1.6mm x 2.0mm

TQFN-14

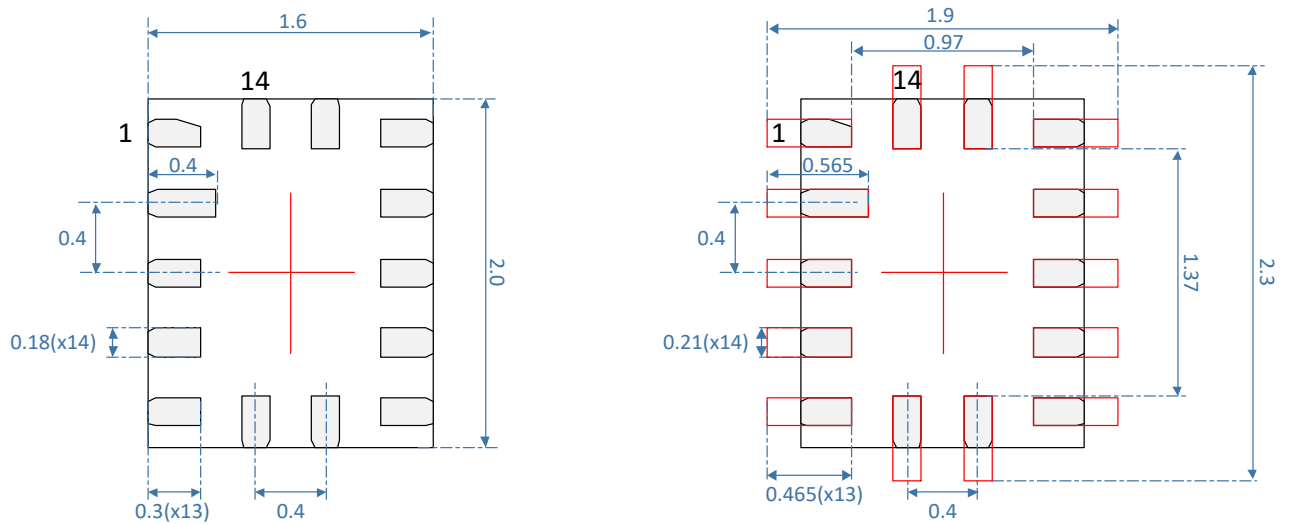


图 35: Recommended Land Pattern

21. 修订历史

表 11: 修订历史

版本	修改内容	修改人	日期
R01	初始版本	钱如	2023-02-23
R02	1.更改封装信息表格中 D、E 参数数值 (P36) 2.更新载带尺寸规格的 A0、B0、K0 数值大小 (P37)	钱如	2023-06-05
R03	1.删除 P10、P13、P16 中 $V_{OH}/V_{OL}/I_{OH}/I_{OL}$ 相关的 4X Drive 条件 2.删除 P11、P14、P17 的 MACMP 相关的参数内容; 3.在 P12、P14、P17 表 5-表 7 中 Vref Out Characteristics 模块增加 Vref DACOffset 参数项	钱如	2023-06-07
R04	填入 P10-P18 中 3.4 节电特性参数内容	钱如	2023-06-08
R05	1.更新 3.4 节电参数 IO 模块 R_{PUP} 与 R_{PDWN} 的 Max 和 Typ 值 2.Vref Out Characteristics 模块电参数更新, 以及表格格式调整	钱如	2023-06-21
R06	更新封装图 33 中 12×b 为 14×b 的描述 (P36)	钱如	2023-07-14
R07	更新表 5 至表 7 中 V_{OL} 的 Max 值 (P10-P18)	钱如	2023-07-20
R08	1.更改图 21 中 "To PIN4 or to PIN14" 为 "To PIN3 or to PIN14"(P29) 2.表 6 中 V_{OL} 的 2X Drive Push-Pull 值 0.27V 改为 0.22V (P13) 3.PGA 部分增加 Input Range 公式内容 (P31)	钱如	2023-12-05
R09	1.更新表 5 至表 7 中 ACMPH/ACMPL Specifications 的 Gain 参数值以及 VACMP 参数'Negative Input'条件下电压范围应该由 0~1V 改为 0~1.23V(p11、p14、P17) 2.根据测试加测数据校正表 5 至表 7 中 IO PIN 模块 V_{IL} 参数 'Low-Level Logic Input' 条件下的 Max 值分别是 0.58 更新为 0.68、0.63 更新为 0.75、0.71 更新为 0.85 (P10、P13、P15) 3.去掉 9.1 节“输出能力轨到轨的描述” (P29)	钱如	2024-01-08
R10	1.去掉表 1 中 PIN7 的'GPIO6 输出描述' 2. 根据软件数据整合计算表 5 至表 7 中 IO PIN 模块 V_{IL} 参数 'Low-Level Logic Input' 条件下的 Max 值, 分别是 0.68 更新为 0.70、0.75 更新为 0.77、0.85 更新为 0.86 (P10、P13、P15) 3. 表 5-表 7 中 ACMPH/ACMPL 模块 Vref 参数皆由 '±1.5%' 更新为 '±1.7%' 4. 根据软件测算结果更新表 5-表 7 的 Vref Out Characteristics 模块 'Vref _{Accuracy} '、'Vref DAC _{Offset} '、'Power Consumption' 数值 (P12、P15、P17) 5.多功能模块关于'FSM'单元进行单独描述(P24) 6.图 31 'Internal Macrocell States during POR sequence'加彩图标识	钱如	2024-03-14